

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Shigeo FUJISHIRO, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: IMAGE CODING APPARATUS AND METHOD, AND PROGRAM AND RECORDING MEDIUM

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2002-236620

MONTH/DAY/YEAR

August 14, 2002

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

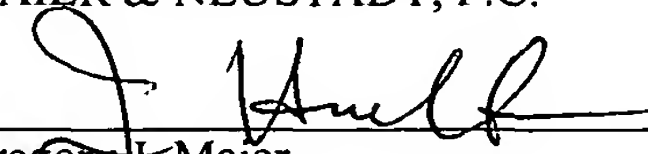
☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Gregory J. Maier

Registration No. 25,599

James D. Hamilton
Registration No. 28,421



22850

503/P09710500

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 8月14日

出 願 番 号
Application Number:

特願2002-236620

[ST.10/C]:

[JP2002-236620]

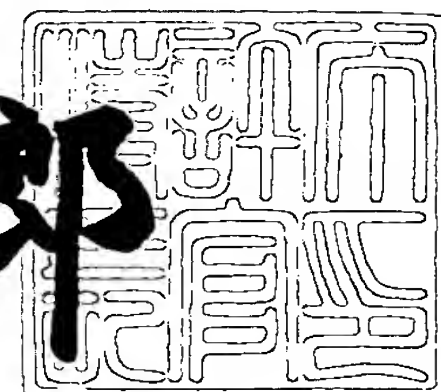
出 願 人
Applicant(s):

ソニー株式会社

2003年 6月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3041889

【書類名】 特許願

【整理番号】 0290293508

【提出日】 平成14年 8月14日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03M 7/30

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 藤代 茂夫

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 北村 卓也

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100067736

【弁理士】

【氏名又は名称】 小池 晃

【選任した代理人】

【識別番号】 100086335

【弁理士】

【氏名又は名称】 田村 榮一

【選任した代理人】

【識別番号】 100096677

【弁理士】

【氏名又は名称】 伊賀 誠司

【手数料の表示】

【予納台帳番号】 019530

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707387

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像符号化装置及び方法、並びにプログラム及び記録媒体

【特許請求の範囲】

【請求項 1】 入力画像に対してウェーブレット変換を施すことによりサブバンドを生成するウェーブレット変換手段と、

上記ウェーブレット変換手段によって生成されたサブバンドを分割し、所定の大きさの符号ブロックを生成する符号ブロック生成手段と、

上記符号ブロック単位に最上位ビットから最下位ビットに至るビットプレーンを生成するビットプレーン生成手段と、

上記ビットプレーン内の各サンプル点を複数の符号化パスの何れかで処理する符号化パス処理手段と、

上記符号化パスによる処理結果に基づいて算術符号化を行う算術符号化手段とを備え、

上記符号化パス処理手段は、現サンプル点位置を含む所定のサンプル数の領域及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報を記憶手段から読み出し、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較を並列して行うことにより、次の処理対象となるサンプル点を検出すること

を特徴とする画像符号化装置。

【請求項 2】 上記マッチングパターンは、任意のサンプル点位置から次の処理対象サンプル点位置へとジャンプ可能である場合における複数のサンプル点での有意又は非有意のパターンを示したものであり、

上記符号化パス処理手段は、上記現サンプル点位置を含む所定のサンプル数の領域及びその周囲のサンプル点における上記有意／非有意情報と上記複数のマッチングパターンとの比較を並列して行うことにより、現サンプル点位置からジャンプ可能なサンプル点を検出すること

を特徴とする請求項 1 記載の画像符号化装置。

【請求項 3】 上記マッチングパターンにはそれぞれジャンプアドレス値が設定されており、

上記符号化パス処理手段は、上記有意／非有意情報と上記複数のマッチングパターンとを比較した結果、何れかのマッチングパターンと一致した場合には、当該一致したマッチングパターンに設定されている上記ジャンプアドレス値に応じて、次の処理対象となるサンプル点を検出すること

を特徴とする請求項 1 記載の画像符号化装置。

【請求項 4】 上記符号化パス処理手段は、上記有意／非有意情報と上記複数のマッチングパターンとを比較した結果、何れのマッチングパターンとも一致しなかった場合には、上記所定のサンプル数の新たな領域を設定し、当該新たな領域及びその周囲のサンプル点における有意又は非有意を示す新たな有意／非有意情報を上記記憶手段から読み出し、この新たな有意／非有意情報と予め設定された上記複数のマッチングパターンとの比較を並列して行うことを特徴とする請求項 3 記載の画像符号化装置。

【請求項 5】 上記有意／非有意情報は、各符号ブロック毎に予め非有意に初期化されることを特徴とする請求項 1 記載の画像符号化装置。

【請求項 6】 入力画像に対してウェーブレット変換を施すことによりサブバンドを生成するウェーブレット変換手段と、

上記ウェーブレット変換手段によって生成されたサブバンドを分割し、所定の大きさの符号ブロックを生成する符号ブロック生成手段と、

上記符号ブロック単位に最上位ビットから最下位ビットに至るビットプレーンを生成するビットプレーン生成手段と、

上記ビットプレーン内の各サンプル点を複数の符号化パスの何れかで処理する符号化パス処理手段と、

上記符号化パスによる処理結果に基づいて算術符号化を行う算術符号化手段とを備え、

上記符号化パス処理手段は、上記ビットプレーン内の各サンプル点及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報を記憶手段から読み出し、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較を並列して行い、上記複数のマッチングパターンの何れかと一致したサンプル点のうち、現サンプル点位置からスキャン順で最も近いサンプル点を、次の

処理対象となるサンプル点として検出すること
を特徴とする画像符号化装置。

【請求項 7】 上記符号化パス処理手段は、上記有意／非有意情報と上記複数のマッチングパターンとを比較した結果、一致するサンプル点が無かった場合には、上記所定のサンプル数の新たな領域を設定し、当該新たな領域及びその周囲のサンプル点における有意又は非有意を示す新たな有意／非有意情報を上記記憶手段から読み出し、この新たな有意／非有意情報と予め設定された上記複数のマッチングパターンとの比較を並列して行うことを特徴とする請求項 6 記載の画像符号化装置。

【請求項 8】 上記有意／非有意情報は、各符号ブロック毎に予め非有意に初期化されることを特徴とする請求項 6 記載の画像符号化装置。

【請求項 9】 入力画像に対してウェーブレット変換を施すことによりサブバンドを生成するウェーブレット変換工程と、

上記ウェーブレット変換工程にて生成されたサブバンドを分割し、所定の大きさの符号ブロックを生成する符号ブロック生成工程と、

上記符号ブロック単位に最上位ビットから最下位ビットに至るビットプレーンを生成するビットプレーン生成工程と、

上記ビットプレーン内の各サンプル点を複数の符号化パスの何れかで処理する符号化パス処理工程と、

上記符号化パスによる処理結果に基づいて算術符号化を行う算術符号化工程とを有し、

上記符号化パス処理工程では、現サンプル点位置を含む所定のサンプル数の領域及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報が記憶手段から読み出され、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較が並列して行われることにより、次の処理対象となるサンプル点が検出されること

を特徴とする画像符号化方法。

【請求項 10】 入力画像に対してウェーブレット変換を施すことによりサブバンドを生成するウェーブレット変換工程と、

上記ウェーブレット変換工程にて生成されたサブバンドを分割し、所定の大きさの符号ブロックを生成する符号ブロック生成工程と、

上記符号ブロック単位に最上位ビットから最下位ビットに至るビットプレーンを生成するビットプレーン生成工程と、

上記ビットプレーン内の各サンプル点を複数の符号化パスの何れかで処理する符号化パス処理工程と、

上記符号化パスによる処理結果に基づいて算術符号化を行う算術符号化工程とを有し、

上記符号化パス処理工程では、上記ビットプレーン内の各サンプル点及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報が記憶手段から読み出され、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較が並列して行われ、上記複数のマッチングパターンの何れかと一致したサンプル点のうち、現サンプル点位置からスキャン順で最も近いサンプル点があり、次の処理対象となるサンプル点として検出されること

を特徴とする画像符号化方法。

【請求項 1 1】 所定の処理をコンピュータに実行させるプログラムにおいて、

入力画像に対してウェーブレット変換を施すことによりサブバンドを生成するウェーブレット変換工程と、

上記ウェーブレット変換工程にて生成されたサブバンドを分割し、所定の大きさの符号ブロックを生成する符号ブロック生成工程と、

上記符号ブロック単位に最上位ビットから最下位ビットに至るビットプレーンを生成するビットプレーン生成工程と、

上記ビットプレーン内の各サンプル点を複数の符号化パスの何れかで処理する符号化パス処理工程と、

上記符号化パスによる処理結果に基づいて算術符号化を行う算術符号化工程とを有し、

上記符号化パス処理工程では、現サンプル点位置を含む所定のサンプル数の領域及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報が

記憶手段から読み出され、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較が並列して行われることにより、次の処理対象となるサンプル点が検出されること

を特徴とするプログラム。

【請求項 1 2】 所定の処理をコンピュータに実行させるプログラムにおいて

入力画像に対してウェーブレット変換を施すことによりサブバンドを生成するウェーブレット変換工程と、

上記ウェーブレット変換工程にて生成されたサブバンドを分割し、所定の大きさの符号ブロックを生成する符号ブロック生成工程と、

上記符号ブロック単位に最上位ビットから最下位ビットに至るビットプレーンを生成するビットプレーン生成工程と、

上記ビットプレーン内の各サンプル点を複数の符号化パスの何れかで処理する符号化パス処理工程と、

上記符号化パスによる処理結果に基づいて算術符号化を行う算術符号化工程とを有し、

上記符号化パス処理工程では、上記ビットプレーン内の各サンプル点及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報が記憶手段から読み出され、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較が並列して行われ、上記複数のマッチングパターンの何れかと一致したサンプル点のうち、現サンプル点位置からスキャン順で最も近いサンプル点が、次の処理対象となるサンプル点として検出されること

を特徴とするプログラム。

【請求項 1 3】 所定の処理をコンピュータに実行させるプログラムが記録されたコンピュータ読み取り可能な記録媒体において、

入力画像に対してウェーブレット変換を施すことによりサブバンドを生成するウェーブレット変換工程と、

上記ウェーブレット変換工程にて生成されたサブバンドを分割し、所定の大きさの符号ブロックを生成する符号ブロック生成工程と、

上記符号ブロック単位に最上位ビットから最下位ビットに至るビットプレーンを生成するビットプレーン生成工程と、

上記ビットプレーン内の各サンプル点を複数の符号化パスの何れかで処理する符号化パス処理工程と、

上記符号化パスによる処理結果に基づいて算術符号化を行う算術符号化工程とを有し、

上記符号化パス処理工程では、現サンプル点位置を含む所定のサンプル数の領域及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報が記憶手段から読み出され、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較が並列して行われることにより、次の処理対象となるサンプル点が検出されること

を特徴とするプログラムが記録された記録媒体。

【請求項 1 4】 所定の処理をコンピュータに実行させるプログラムが記録されたコンピュータ読み取り可能な記録媒体において、

入力画像に対してウェーブレット変換を施すことによりサブバンドを生成するウェーブレット変換工程と、

上記ウェーブレット変換工程にて生成されたサブバンドを分割し、所定の大きさの符号ブロックを生成する符号ブロック生成工程と、

上記符号ブロック単位に最上位ビットから最下位ビットに至るビットプレーンを生成するビットプレーン生成工程と、

上記ビットプレーン内の各サンプル点を複数の符号化パスの何れかで処理する符号化パス処理工程と、

上記符号化パスによる処理結果に基づいて算術符号化を行う算術符号化工程とを有し、

上記符号化パス処理工程では、上記ビットプレーン内の各サンプル点及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報が記憶手段から読み出され、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較が並列して行われ、上記複数のマッチングパターンの何れかと一致したサンプル点のうち、現サンプル点位置からスキャン順で最も近いサンプル点が

、次の処理対象となるサンプル点として検出されること
を特徴とするプログラムが記録された記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば J P E G - 2 0 0 0 のように、ウェーブレット変換とエントロピー符号化とにより画像を圧縮する画像符号化装置及び方法、並びに画像符号化処理をコンピュータに実行させるプログラム及びそのプログラムが記録された記録媒体に関する。

【0002】

【従来の技術】

従来の代表的な画像圧縮方式として、I S O (International Standards Organization) によって標準化された J P E G (Joint Photographic Experts Group) 方式がある。これは、離散コサイン変換 (DCT: Descrete Cosine Transform) を用い、比較的高いビットが割り当てられる場合には、良好な符号化画像及び復号画像を供することが知られている。しかし、ある程度以上に符号化ビット数を少なくすると、D C T 特有のブロック歪みが顕著になり、主観的に劣化が目立つようになる。

【0003】

一方、近年では画像をフィルタバンクと呼ばれるハイパス・フィルタとローパス・フィルタとを組み合わせたフィルタによって複数の帯域に分割し、各帯域毎に符号化を行う方式の研究が盛んになっている。その中でも、ウェーブレット変換符号化は、D C T のように高圧縮でブロック歪みが顕著になるという欠点がないことから、D C T に代わる新たな技術として有力視されている。

【0004】

例えば 2 0 0 1 年 1 月に国際標準化が完了した J P E G - 2 0 0 0 は、このウェーブレット変換に高能率なエントロピー符号化 (ビットプレーン単位のビット・モデリングと算術符号化) を組み合わせた方式を採用しており、J P E G に比べて符号化効率の大きな改善を実現している。

【 0 0 0 5 】

この J P E G - 2 0 0 0 方式で圧縮符号化を行う画像符号化装置においては、入力画像に対してウェーブレット変換処理を施すことにより複数のサブバンドに分割し、各サブバンド毎のウェーブレット変換係数に対して量子化処理を施す。そして、得られたサブバンド毎の量子化係数をエントロピー符号化の処理単位である例えば 64×64 程度の所定の大きさの符号ブロックに分割し、この符号ブロック単位の量子化係数に対して、係数ビット・モデリングを行う。

【 0 0 0 6 】

ここで、この係数ビット・モデリングについて詳細に説明する。なお、以下では、特に J P E G - 2 0 0 0 規格で定められた E B C O T (Embedded Coding with Optimized Truncation) と呼ばれるエントロピー符号化を例に取りながら説明する。この E B C O T については、例えば、文献「ISO/IEC 15444-1, Information technology-JPEG 2000, Part 1:Core coding system」等に詳細に記載されている。

【 0 0 0 7 】

この E B C O T の説明の前に、ビットプレーンの概念について図 2 3 を用いて説明する。図 2 3 (A) は、縦 4 個、横 4 個の計 1 6 個の係数から成る量子化係数を仮定したものである。この 1 6 個の係数のうち絶対値が最大のものは 1 3 であり、2 進数表現では 1 1 0 1 となる。したがって、係数の絶対値のビットプレーンは、図 2 3 (B) に示すような 4 つのビットプレーンから構成される。なお、各ビットプレーンの要素（サンプル点）は、全て 0 又は 1 の数を取る。一方、量子化係数の符号は、- 6 が唯一負の値であり、それ以外は 0 又は正の値である。したがって、符号のビットプレーンは、図 2 3 (C) に示すようになる。

【 0 0 0 8 】

E B C O T は、所定の大きさのブロック毎にそのブロック内の係数ビットデータの統計量を測定しながら符号化する手段であり、符号ブロック単位に係数ビットデータをエントロピー符号化する。符号ブロックは、最上位ビット (MSB) から最下位ビット (LSB) 方向にビットプレーン毎に独立して符号化される。また、符号ブロックの縦横のサイズは、4 から 2 5 6 までの 2 の冪乗で、通常は 3 2

$\times 32$ 、 64×64 、 128×32 等の大きさが使用される。量子化係数は、 n ビットの符号付き2進数で表されており、 $bit\ 0$ から $bit\ (n-2)$ がLSBからMSBまでのそれぞれのビットを表す。なお、残りの1ビットは符号である。符号ブロックの符号化は、MSB側のビットプレーンから順番に、以下の(a)～(c)に示す3種類の符号化パスによって行われる。

【0009】

(a) Significant Propagation Pass

(b) Magnitude Refinement Pass

(c) Clean Up Pass

【0010】

3つの符号化パスの用いられる順序を図24に示す。図24に示すように、先ずビットプレーン($n-2$) (MSB) がClean Up Passによって符号化される。続いて、順次LSB側に向かい、各ビットプレーンが、Significant Propagation Pass (以下、適宜SPパスという。)、Magnitude Refinement Pass (以下、適宜MRパスという。)、Clean Up Pass (以下、適宜CUパスという。)の順序で用いられて符号化される。

【0011】

但し、実際にはMSB側から何番目のビットプレーンで初めて1が出てくるかをヘッダに書き、オール0のビットプレーンは符号化しない。この順序で3種類の符号化パスを繰り返し用いて符号化し、任意のビットプレーンの任意の符号化パスまでで符号化を打ち切ることにより、符号量と画質のトレードオフを取る、すなわちレート制御を行うことができる。

【0012】

ここで、係数ビットデータの走査(スキヤニング)について図25を用いて説明する。符号ブロックは、高さ4個のサンプル点毎にストライプ(stripe)に分けられる。ストライプの幅は、符号ブロックの幅に等しい。スキヤン順とは1個の符号ブロック内の全てのサンプル点を辿る順番であり、符号ブロック中では上のストライプから下のストライプへの順序、各ストライプ中では左の列から右の列への順序、各列中では上から下への順序でスキヤニングされる。なお、各符号

化パスにおいて符号ブロック中の全てのサンプル点がこのスキャン順で処理される。以下、上述した3つの符号化パスについて説明する。

【 0 0 1 3 】

(a) Significance Propagation Pass

あるビットプレーンを符号化する S P パスでは、8 近傍の少なくとも1つのサンプル点が有意 (significant) であるような non-significant なサンプル点の係数ビットデータが算術符号化される。その符号化した係数ビットデータが1である場合には、符号の正負が続けて算術符号化される。

【 0 0 1 4 】

ここで significant とは、各サンプル点に対して符号化器が持つ状態である。significant の初期値は、non-significant を表す「0」であり、そのサンプル点で1が符号化されたときに significant を表す「1」に変化し、以降常に「1」であり続ける。したがって、significant とは、有効桁の情報を既に符号化したか否かを示すフラグとも言える。あるビットプレーンで S P パスが発生すれば、以降のビットプレーンでは S P パスは発生しない。

【 0 0 1 5 】

(b) Magnitude Refinement Pass

ビットプレーンを符号化する M R パスでは、ビットプレーンを符号化する S P パスで符号化していない significant なサンプル点の係数ビットデータが算術符号化される。

【 0 0 1 6 】

(c) Clean Up Pass

ビットプレーンを符号化する C U パスでは、ビットプレーンを符号化する S P パスで符号化していない non-significant なサンプル点の係数ビットデータが算術符号化される。その符号化した係数ビットデータが1である場合には、符号の正負が続けて算術符号化される。

【 0 0 1 7 】

なお、以上の3つの符号化パスでの算術符号化では、ケースに応じて Z C (Zero Coding)、R L C (Run-Length Coding)、S C (Sign Coding)、M R (Mag

nitude Refinement) が使い分けられてサンプル点のコンテキストが選択される。そして、MQ符号化と呼ばれる算術符号によって選択されたコンテキストが符号化される。このMQ符号化は、J B I G 2で規定された学習型の2値算術符号である。MQ符号化については、例えば、文献「ISO/IEC FDIS 14492, “Lossy/Lossless Coding of Bi-level Images”, March 2000」等に記載されている。J P E G - 2 0 0 0では、全ての符号化パスで合計19種類のコンテキストがある。

【 0 0 1 8 】

以上のようにして、J P E G - 2 0 0 0方式で圧縮符号化を行う画像符号化装置においては、符号ブロック毎の量子化係数をビットプレーンに分解すると共に各ビットプレーンを3つの符号化パスに分解し、符号化パス毎に係数ビットデータを生成する。そして、この符号化パス毎の係数ビットデータに対して算術符号化を施す。

【 0 0 1 9 】

【発明が解決しようとする課題】

ところで、上述したように、MRパスは、他のビットプレーンにおけるCUパス処理又はSPパス処理によってsignificantとなった係数ビットデータの算術符号化を行うものであり、CUパスは、SPパスで符号化していないnon-significantな係数ビットデータを算術符号化するものである。したがって、SPパス処理を高速化することができれば、3つの符号化パスでの符号ブロックの符号化を高速化することができると考えられる。

【 0 0 2 0 】

ここで、このSPパスでは、上述したように、8近傍の少なくとも1つのサンプル点がsignificantであるようなnon-significantなサンプル点の係数ビットデータが算術符号化される。そして、符号化した係数ビットデータが1である場合には、そのサンプル点の状態がnon-significantからsignificantに変化する。この変化によりSPパス処理の対象となるサンプル点が新たに発生する場合があるため、従来ではSPパス処理対象サンプル点のみを選んで処理することができなかった。

【 0 0 2 1 】

この問題について、図 2 6 を用いて簡単に説明する。なお、この図 2 6 は、縦 4 個、横 4 個の計 1 6 個の係数ビットデータから成るビットプレーンを仮定したものであり、各サンプル点の左上に付された番号は、そのサンプル点の位置を説明するための便宜的な数値である。また、図中太枠は、significant なサンプル点を示す。図 2 6 (A) に示すように、ビットプレーンの符号化を始める段階では、significant なサンプル点は 1 0 番サンプルのみであるため、S P パス処理対象となるサンプル点は、5 番～7 番、9 番、1 1 番、1 3 番～1 5 番の 8 サンプルである。しかしながら、7 番サンプルにおける係数ビットデータは 1 であるため、S P パス処理により、図 2 6 (B) に示すように significant に変化する。これにより、8 番サンプル及び 1 2 番サンプルが新たに S P パス処理対象となる。

【 0 0 2 2 】

このようなことから、S P パス処理では、上述したスキャン順で S P パス処理対象となるサンプル点であるか否かを判定し、対象となるサンプル点であれば S P パス処理を行い、対象となるサンプル点でなければ次のサンプル点に移るという手順を繰り返していた。このため、ビットプレーン内で S P パス処理対象サンプル点の数に相当する処理サイクル数で S P パス処理が終わらず、全サンプル点数に相当する処理サイクル数が必要になるという問題があった。

【 0 0 2 3 】

本発明は、このような従来の実情に鑑みて提案されたものであり、上述した S P パスの処理時間を短くすることで 3 つの符号化パスでの符号ブロックの符号化を高速化する画像符号化装置及びその方法、並びに画像符号化処理をコンピュータに実行させるプログラム及びそのプログラムが記録されたコンピュータ読み取り可能な記録媒体を提供することを目的とする。

【 0 0 2 4 】

【課題を解決するための手段】

上述した目的を達成するために、本発明に係る画像符号化装置は、入力画像に対してウェーブレット変換を施すことによりサブバンドを生成するウェーブレッ

ト変換手段と、上記ウェーブレット変換手段によって生成されたサブバンドを分割し、所定の大きさの符号ブロックを生成する符号ブロック生成手段と、上記符号ブロック単位に最上位ビットから最下位ビットに至るビットプレーンを生成するビットプレーン生成手段と、上記ビットプレーン内の各サンプル点を複数の符号化パスの何れかで処理する符号化パス処理手段と、上記符号化パスによる処理結果に基づいて算術符号化を行う算術符号化手段とを備え、上記符号化パス処理手段は、現サンプル点位置を含む所定のサンプル数の領域及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報を記憶手段から読み出し、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較を並列して行うことにより、次の処理対象となるサンプル点を検出する。

【 0 0 2 5 】

また、本発明に係る画像符号化装置は、入力画像に対してウェーブレット変換を施すことによりサブバンドを生成するウェーブレット変換手段と、上記ウェーブレット変換手段によって生成されたサブバンドを分割し、所定の大きさの符号ブロックを生成する符号ブロック生成手段と、上記符号ブロック単位に最上位ビットから最下位ビットに至るビットプレーンを生成するビットプレーン生成手段と、上記ビットプレーン内の各サンプル点を複数の符号化パスの何れかで処理する符号化パス処理手段と、上記符号化パスによる処理結果に基づいて算術符号化を行う算術符号化手段とを備え、上記符号化パス処理手段は、上記ビットプレーン内の各サンプル点及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報を記憶手段から読み出し、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較を並列して行い、上記複数のマッチングパターンの何れかと一致したサンプル点のうち、現サンプル点位置からスキャン順で最も近いサンプル点を、次の処理対象となるサンプル点として検出する。

【 0 0 2 6 】

このような画像符号化装置は、例えば J P E G - 2 0 0 0 方式における Significant Propagation Pass (S P パス) でビットプレーン内の各サンプル点を処理する際に、現サンプル点位置を含む所定のサンプル数の領域及びその周囲のサンプル点における有意 (significant) 又は非有意 (non-significant) を示す有意

／非有意情報を記憶手段から読み出し、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較を並列して行い、又は各サンプル点及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報を記憶手段から読み出し、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較を並列して行う。そして、比較の結果、探索している領域内にＳＰパス処理対象サンプル点がある場合、そのサンプル点にジャンプしてＳＰパス処理を行い、ＳＰパス処理対象でないサンプル点における処理を省略する。

【 0 0 2 7 】

また、上述した目的を達成するために、本発明に係る画像符号化方法は、入力画像に対してウェーブレット変換を施すことによりサブバンドを生成するウェーブレット変換工程と、上記ウェーブレット変換工程にて生成されたサブバンドを分割し、所定の大きさの符号ブロックを生成する符号ブロック生成工程と、上記符号ブロック単位に最上位ビットから最下位ビットに至るビットプレーンを生成するビットプレーン生成工程と、上記ビットプレーン内の各サンプル点を複数の符号化パスの何れかで処理する符号化パス処理工程と、上記符号化パスによる処理結果に基づいて算術符号化を行う算術符号化工程とを有し、上記符号化パス処理工程では、現サンプル点位置を含む所定のサンプル数の領域及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報が記憶手段から読み出され、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較が並列して行われることにより、次の処理対象となるサンプル点が検出される。

【 0 0 2 8 】

また、本発明に係る画像符号化方法は、入力画像に対してウェーブレット変換を施すことによりサブバンドを生成するウェーブレット変換工程と、上記ウェーブレット変換工程にて生成されたサブバンドを分割し、所定の大きさの符号ブロックを生成する符号ブロック生成工程と、上記符号ブロック単位に最上位ビットから最下位ビットに至るビットプレーンを生成するビットプレーン生成工程と、上記ビットプレーン内の各サンプル点を複数の符号化パスの何れかで処理する符号化パス処理工程と、上記符号化パスによる処理結果に基づいて算術符号化を行

う算術符号化工程とを有し、上記符号化パス処理工程では、上記ビットプレーン内の各サンプル点及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報が記憶手段から読み出され、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較が並列して行われ、上記複数のマッチングパターンの何れかと一致したサンプル点のうち、現サンプル点位置からスキャン順で最も近いサンプル点が、次の処理対象となるサンプル点として検出される。

【 0 0 2 9 】

このような画像符号化方法では、例えば J P E G - 2 0 0 0 方式における Significant Propagation Pass (S P パス) でビットプレーン内の各サンプル点を処理する際に、現サンプル点位置を含む所定のサンプル数の領域及びその周囲のサンプル点における有意 (significant) 又は非有意 (non-significant) を示す有意／非有意情報が記憶手段から読み出され、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較が並列して行われ、又は各サンプル点及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報が記憶手段から読み出され、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較が並列して行われる。そして、比較の結果、探索している領域内に S P パス処理対象サンプル点がある場合、そのサンプル点にジャンプして S P パス処理が行われ、 S P パス処理対象でないサンプル点における処理が省略される。

【 0 0 3 0 】

また、本発明に係るプログラムは、上述した画像符号化処理をコンピュータに実行させるものであり、本発明に係る記録媒体は、そのようなプログラムが記録されたコンピュータ読み取り可能なものである。

【 0 0 3 1 】

【発明の実施の形態】

以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。この実施の形態は、本発明を、 J P E G - 2 0 0 0 方式により入力画像を圧縮符号化する画像符号化装置及びその方法に適用したものである。この画像符号化装置は、後述するように、ビットプレーンを符号化する際の Signif

ificant Propagation Passの処理時間を短くすることで、符号ブロックの符号化を高速化する。

【 0 0 3 2 】

本実施の形態における画像符号化装置の概略構成を図 1 に示す。図 1 に示すように、画像符号化装置 1 は、DC レベルシフト部 1 0 と、ウェーブレット変換部 1 1 と、量子化部 1 2 と、符号ブロック化部 1 3 と、ビットプレーン符号化パス生成部 1 4 と、算術符号化部 1 5 と、レート制御部 1 7 と、ヘッダ生成部 1 8 と、パケット生成部 1 9 とから構成されている。ここで、ビットプレーン符号化パス生成部 1 4 と算術符号化部 1 5 とにより、EBCOT (Embedded Coding with Optimized Truncation) 部 1 6 が構成される。

【 0 0 3 3 】

DC レベルシフト部 1 0 は、後段のウェーブレット変換部 1 1 におけるウェーブレット変換を効率的に行い圧縮率を向上させるために、原信号のレベルシフトを行う。原理的には、RGB 信号は、正の値（符号なしの整数値）を持つため、原信号のダイナミックレンジを半分にするレベルシフトを行うことで、圧縮効率を向上させることができる。これに対して、YCbCr 信号におけるCbやCrといった色差信号は、正負両方の整数値を持つため、レベルシフトは行われない。

【 0 0 3 4 】

ウェーブレット変換部 1 1 は、通常、低域フィルタと高域フィルタとから構成されるフィルタバンクによって実現される。なお、デジタルフィルタは、通常複数タップ長のインパルス応答（フィルタ係数）を持っているため、フィルタリングが行えるだけの入力画像を予めバッファリングしておく必要があるが、簡単のため、図 1 では図示を省略する。

【 0 0 3 5 】

DC レベルシフト部 1 0 は、フィルタリングに必要な最低限の画像信号 D 1 0 を入力し、上述のようにレベルシフトを行う。そして、ウェーブレット変換部 1 1 は、DC レベルシフト後の画像信号 D 1 1 に対して、ウェーブレット変換を行うフィルタリング処理を行い、ウェーブレット変換係数 D 1 2 を生成する。

【 0 0 3 6 】

このウェーブレット変換では、通常図 2 に示すように低域成分が繰り返し変換されるが、これは画像のエネルギーの多くが低域成分に集中しているためである。ここで、図 2 におけるウェーブレット変換のレベル数は 3 であり、この結果計 10 個のサブバンドが形成されている。ここで、図 2 において L, H はそれぞれ低域、高域を表し、L, H の後の数字は分割レベルを表す。すなわち、例えば LH-1 は、水平方向が低域で垂直方向が高域である分割レベル = 1 のサブバンドを表す。

【 0 0 3 7 】

量子化部 1 2 は、ウェーブレット変換部 1 1 から供給されたウェーブレット変換係数 D 1 2 に対して非可逆圧縮を施す。量子化手段としては、ウェーブレット変換係数 D 1 2 を量子化ステップサイズで除算するスカラ量子化を用いることができる。ここで、J P E G - 2 0 0 0 の規格上、上述の非可逆圧縮を行う場合で、非可逆の 9×7 ウェーブレット変換フィルタを用いる場合には、自動的にスカラ量子化を併用することが決められている。一方、可逆の 5×3 ウェーブレット変換フィルタを用いる場合には、量子化を行わず、後述のように符号化パスを切り捨てることによって、符号量制御が行われる。したがって、図 1 の量子化部 1 2 が動作するのは、実際には非可逆の 9×7 ウェーブレット変換フィルタを用いた場合である。以下、この非可逆の 9×7 ウェーブレット変換フィルタを用いる場合を想定して説明を進める。

【 0 0 3 8 】

符号ブロック化部 1 3 は、量子化部 1 2 で生成された量子化係数 D 1 3 を、エントロピー符号化の処理単位である所定の大きさの符号ブロックに分割する。ここで、サブバンド中の符号ブロックの位置関係を図 3 に示す。通常、例えば 64×64 程度のサイズの符号ブロックが、分割後の全てのサブバンド中に生成される。したがって、最も分割レベルが小さい HH-1 (図 2) のサブバンドの大きさが 640×320 であった場合には、 64×64 の符号ブロックは水平方向に 10 個、垂直方向に 5 個、合計 50 個存在することになる。符号ブロック化部 1 3 は、符号ブロック毎の量子化係数 D 1 4 をビットプレーン符号化パス生成部 1

4 に供給し、後段の符号化処理は、これらの符号ブロック毎に行われる。

【 0 0 3 9 】

ビットプレーン符号化パス生成部 1 4 は、符号ブロック毎の量子化係数 D_{14} に対して、以下のようにして係数ビット・モデリングを行う。ここで、本実施の形態では、特に J P E G - 2 0 0 0 規格で定められた E B C O T と呼ばれるエントロピー符号化を例に取りながら説明する。

【 0 0 4 0 】

E B C O T は、所定の大きさのブロック毎にそのブロック内の係数の統計量を測定しながら符号化する手段であり、符号ブロック単位に量子化係数をエントロピー符号化する。なお、符号ブロックの縦横のサイズは、4 から 2 5 6 までの 2 の冪乗であり、通常は 32×32 、 64×64 、 128×32 等の大きさが使用される。

【 0 0 4 1 】

ここで、符号ブロック毎の量子化係数 D_{14} は、 n ビットの符号付き 2 進数で表されており、 bit_0 から $bit_{(n-2)}$ が L S B から M S B までのそれぞれのビットを表す。なお、残りの 1 ビットは符号である。この 2 進数で表された量子化係数について、係数の絶対値のビットプレーンと符号のビットプレーンとが構成される。上述した符号ブロックは、最上位ビット (MSB) から最下位ビット (LSB) 方向に、Significant Propagation Pass (以下、適宜 S P パスという。)、Magnitude Refinement Pass (以下、適時 M R パスという。) 及び Clean Up Pass (以下、適宜 C U パスという。) という 3 種類の符号化パスによって、ビットプレーン毎に独立して符号化される。

【 0 0 4 2 】

符号化の際には、先ず最上位ビット (MSB) のビットプレーンが C U パスによって符号化される。続いて、順次 L S B 側に向かい、各ビットプレーンが、S P パス、M R パス、C U パスの順序で用いられて符号化される。

【 0 0 4 3 】

簡単には、S P パスでは、8 近傍の少なくとも 1 つの係数が有意 (significant) であるような non-significant なサンプル点の係数ビットデータが算術符号化

される。その符号化した係数ビットデータが1である場合には、符号の正負が続けて算術符号化される。ここでsignificantとは、各サンプル点に対して符号化器が持つ状態である。significantの初期値は、non-significantを表す0であり、そのサンプル点で1が符号化されたときにsignificantを表す1に変化し、以降常に1であり続ける。したがって、significantとは、有効桁の情報を既に符号化したか否かを示すフラグとも言える。また、MRパスでは、SPパスで符号化していないsignificantなサンプル点の係数ビットデータが算術符号化される。また、CUパスでは、SPパスで符号化していないnon-significantなサンプル点の係数ビットデータが算術符号化される。その符号化した係数ビットデータが1である場合には、符号の正負が続けて算術符号化される。

【 0 0 4 4 】

但し、実際にはMSB側から何番目のビットプレーンで初めて1が出てくるかをヘッダに書き、オール0のビットプレーンは符号化しない。この順序で3種類の符号化パスを繰り返し用いて符号化し、任意のビットプレーンの任意の符号化パスまでで符号化を打ち切ることにより、符号量と画質のトレードオフを取る、すなわちレート制御を行うことができる。

【 0 0 4 5 】

なお、以上の3つの符号化パスでの算術符号化では、ケースに応じてZC (Zero Coding)、RLC (Run-Length Coding)、SC (Sign Coding)、MR (Magnitude Refinement) が使い分けられて係数のコンテキストが選択される。そして、MQ符号化と呼ばれる算術符号によって選択されたコンテキストが符号化される。このMQ符号化は、JBIG2で規定された学習型の2値算術符号である。JPEG-2000では、全ての符号化パスで合計19種類のコンテキストがある。

【 0 0 4 6 】

以上のようにしてビットプレーン符号化パス生成部14は、符号ブロック毎の量子化係数D14をビットプレーンに分解すると共に各ビットプレーンを3つの符号化パスに分解し、符号化パス毎に量子化係数D15を生成する。そして、算術符号化部15は、この符号化パス毎の量子化係数D15に対して算術符号化を

施す。

【 0 0 4 7 】

レート制御部 1 7 は、少なくとも一部の符号化パスの処理を行った後で、算術符号化部 1 5 から供給された算術符号 D 1 6 の符号量をカウントし、目標の符号量に達した時点で、又は達する直前に、それより後の算術符号 D 1 6 を切り捨てる。このように、符号量をオーバーする直前で切り捨てることにより、確実に目標の符号量に抑えることができる。レート制御部 1 7 は、この符号量制御完了後の算術符号 D 1 7 を、ヘッダ生成部 1 8 及びパケット生成部 1 9 に供給する。

【 0 0 4 8 】

ヘッダ生成部 1 8 は、レート制御部 1 7 から供給された符号量制御完了後の算術符号 D 1 7 に基づいて、符号ブロック内での付加情報、例えば符号ブロック内の符号化パスの個数や圧縮コードストリームのデータ長等をヘッダ D 1 8 として生成し、このヘッダ D 1 8 をパケット生成部 1 9 に供給する。

【 0 0 4 9 】

パケット生成部 1 9 は、符号量制御完了後の算術符号 D 1 7 とヘッダ D 1 8 とを合わせてパケット D 1 9 を生成し、符号化コードストリームとして出力する。この際、パケット生成部 1 9 は、図 4 に示すように同一解像度レベルから個々のパケットを生成する。なお、図 4 から分かるように、最低域であるパケットー 1 は、LL 成分のみを含み、それ以外のパケットー 2 乃至パケットー 4 は、LH 成分、HL 成分及び HH 成分を含む。

【 0 0 5 0 】

以上のように、本実施の形態における画像符号化装置 1 は、ウェーブレット変換及びエントロピー符号化を用いて入力画像を高効率に圧縮符号化し、パケット化して符号化コードストリームとして出力することができる。

【 0 0 5 1 】

ところで、従来、上述した 3 つの符号化パスでの処理を行う際の係数ビットデータのスキヤニングは、各ビットプレーンで上から下へ 4 個のサンプル点を処理した後、右隣上のサンプル点に移り、右隣のサンプル点がない場合には下側左のサンプル点に移る、という順序で行われる。

【 0 0 5 2 】

特に、S P パス処理を行う際には、符号化した係数ビットデータが1である場合に、そのサンプル点の状態がnon-significantからsignificantに変化し、この変化によりS P パス処理の対象となるサンプル点が新たに発生する場合があるため、S P パス処理対象サンプル点のみを選んで処理することができなかった。

【 0 0 5 3 】

このため、ビットプレーン内で、S P パス処理対象サンプル点の数に相当する処理サイクル数でS P パス処理が終わらず、全サンプル数に相当する処理サイクル数が必要になるという問題があった。

【 0 0 5 4 】

そこで、本実施の形態における画像符号化装置1は、以下に説明する2通りの手法により、S P パス処理を高速化している。

【 0 0 5 5 】

先ず第1の手法の処理概念について説明する。この第1の手法では、符号ブロック内の各サンプル点のsignificant (S) 又はnon-significant (N) の状態を表すS/Nビットメモリを用意する。符号ブロックサイズが 64×64 である場合、S/Nビットメモリのサイズは、 $64 \times 64 \times 1$ ビットとなる。このS/Nビットメモリでは、そのアドレスにおけるサンプル点がsignificant (S) のとき「1」が立ち、non-significant (N) のとき「0」が立つとする。一方、係数ビットデータは、係数ビットメモリに格納される。符号ブロックサイズが 64×64 、ビットプレーン数がNである場合、係数ビットメモリのサイズは、 $64 \times 64 \times N$ ビットとなる。

【 0 0 5 6 】

上述したように、ビットプレーン符号化パス生成部14における係数ビット・モデリングは、最上位ビット (MSB) から最下位ビット (LSB) の方向に、ビットプレーン毎に独立に3つの符号化パスで処理を行う。この際、予めS/Nビットメモリの全アドレスの値を「0」、すなわちnon-significant (N) に初期化しておく。

【 0 0 5 7 】

係数ビットデータが0しかないビットプレーン Z は、0ビットプレーンとして、3つの符号化パスの処理は行わない。また、何れかのサンプル点における係数ビットデータが1である最初のビットプレーン Z_1 は、CUパスで処理される。このとき、係数ビットデータが1であるサンプル点はsignificant (S) となり、S/Nビットメモリのそのサンプル点を示すアドレスに「1」が立つ。続いて、1ビット下位のビットプレーン Z_2 に移り、SPパス、MRパス、CUパスの順に3つの符号化パスで処理し、順次LSB側のビットプレーンに移って同様の処理を繰り返す。

【 0 0 5 8 】

ここで、第1の手法では、SPパス処理を高速化するために、複数のS/Nマッチングパターンを用意する。このS/Nマッチングパターンとは、あるサンプル点から次のSPパス処理対象サンプル点に移ることができる場合における、関連するサンプル点のsignificant (S) 又はnon-significant (N) のパターンを示したものである。

【 0 0 5 9 】

このS/Nマッチングパターンについて、図5、図6を用いて簡単に説明する。なお、この図5、図6において、S及びsはsignificantなサンプル点を示し、sは他のsと共にORを形成する。すなわち、複数のsのうち、少なくとも1つのsがsignificantであればよい。また、Nはnon-significantなサンプル点を示し、Xはsignificantであるかnon-significantであるかを考慮しないサンプル点を示す。さらに、各サンプル点の左上に付された番号は、そのサンプル点の位置を説明するための便宜的な数値である。

【 0 0 6 0 】

図5は、1番サンプルから3番サンプルへと移る場合のS/Nマッチングパターンを示したものである。この図5に示す2通りのパターンに該当する場合にのみ、1番サンプルから3番サンプルへと移ることができる。一方、図6は、1番サンプルから8番サンプルへと移る場合のS/Nマッチングパターンを示したものである。この図6に示す2通りのパターンに該当する場合にのみ、1番サンプルから8番サンプルへと移ることができる。

【 0 0 6 1 】

ここで、各 S/N マッチングパターンには、それぞれに応じてジャンプアドレス値が設定される。上述の図 5 に示した S/N マッチングパターンでは、1 番サンプルから 3 番サンプルに移るため、ジャンプアドレス値は 2 となり、図 6 に示した S/N マッチングパターンでは、1 番サンプルから 8 番サンプルに移るため、ジャンプアドレス値は 7 となる。

【 0 0 6 2 】

つまり、任意のサンプル点から次の S P パス処理対象サンプル点に移る場合に該当する S/N マッチングパターンを予め設定しておけば、現在の S/N マッチングパターンから得られたジャンプアドレス値により、ジャンプ先のサンプル点を知ることができる。

【 0 0 6 3 】

なお、この第 1 の手法では、従来のスキャン順で次のサンプル点に移る場合の S/N マッチングパターンも用意しておくものとする。

【 0 0 6 4 】

ここで、用意すべき S/N マッチングパターン数は、一度に探索するエリアのサイズに応じて変わる。以下では、一例として、水平 3 サンプル×垂直 4 サンプルのエリアにジャンプ先となる S P パス処理対象サンプル点があるか否かを一度に探索するものとして説明する。この場合、参照するサンプル点は、3×4 エリアの上下左右に 1 サンプルずつ増えて、水平 5 サンプル×垂直 6 サンプルのエリアとなる。なお、符号ブロック外を参照することになる場合には、その位置に non-significant なサンプル点が存在するものとして処理を行う。

【 0 0 6 5 】

上述したように、ビットプレーン Z_2 で、最初の S P パス処理が行われる。先ず、図 7 (A) に示すような水平 3 サンプル×垂直 4 サンプルのエリア AR_1 に対して、S P パス処理対象サンプル点があるか否かを判別するため、S/N ビットメモリからこのエリア AR_1 及びその周囲に相当する水平 5 サンプル×垂直 6 サンプルの S/N ビットデータがロードされる。

【 0 0 6 6 】

ここで、S/Nマッチングパターンはそれぞれ排他的であり、エリアAR₁にSPパス処理対象サンプル点があった場合には、何れかのS/Nマッチングパターンが一致し、そのS/Nマッチングパターンに応じたジャンプアドレス値が出力される。このジャンプアドレス値を出力するためのテーブルを図8に示す。図7(A)の例では、2番サンプルAから11番サンプルBに移るため、ジャンプアドレス値は9となる。そして、アドレスジャンプしたサンプル点BがSPパスで処理され、続いて、アドレスジャンプしたサンプル点Bが左端の列となる新たなエリアAR₂を設定し、上記手順を繰り返す。なお、アドレスジャンプしたサンプル点Bを左端の列とする例に限定されず、このサンプル点Bを起点とするエリアを設定するようにしても構わない。

【0067】

一方、エリアAR₁にSPパス処理対象サンプル点がなかった場合には、何れのS/Nマッチングパターンも不一致となる。この場合には、図7(B)に示すようなエリアAR₁より先のエリアAR₃に対して再度SPパス処理対象サンプル点があるか否かを判別するため、S/NビットメモリからエリアAR₃及びその周囲に相当する水平5サンプル×垂直6サンプルのS/Nビットデータがロードされる。

【0068】

以上説明した第1の手法を行う場合におけるビットプレーン符号化パス生成部14のSPパス処理に関する部分の概略構成を図9に示す。図9に示すように、ビットプレーン符号化パス生成部14は、S/Nビットメモリ100と、係数ビットメモリ101と、エリア設定部102と、1番乃至12番サンプル用のAND・OR回路103₁～103₁₂と、ジャンプアドレス値テーブル104と、決定用AND・OR回路105と、係数モデリング回路106と、DFF(Dフリップフロップ)107、108とを少なくとも有する。

【0069】

符号ブロックサイズが64×64である場合、S/Nビットメモリ100のサイズは、図10に示すように、64×64×1ビットとなる。このS/Nビットメモリ100には、そのアドレスにおけるサンプル点がsignificant(S)のと

き「1」が立ち、non-significant (N) のとき「0」が立つ。

【0070】

一方、符号ブロックサイズが 64×64 、ビットプレーン数がNである場合、係数ビットメモリ101のサイズは、図11に示すように、 $64 \times 64 \times N$ ビットとなる。この係数ビットメモリ101には、そのサンプル点における係数ビットデータが格納される。

【0071】

以下では、図示しないサンプル点Yから図10(A)、図11(A)の2番サンプルにジャンプすることが決定された状態からのSPパス処理について、図9及び図12のタイミングチャートを参照しながら詳細に説明する。なお、この例では、水平3サンプル×垂直4サンプルのエリアにジャンプ先となるSPパス処理対象サンプル点があるか否かを一度に探索するものとする。

【0072】

決定用AND・OR回路105は、2番サンプル用のジャンプアドレス値を係数モデリング回路106及びDFF107に供給する。

【0073】

係数モデリング回路106は、2番サンプル用のジャンプアドレス値が供給されると、2番サンプルをSPパスで処理し、係数ビットデータXとコンテキストCXを算出する。ここで、係数モデリング回路106は、2番サンプルの係数ビットデータXが1である場合には、DFF108において処理クロックとの同期を取った後、S/Nビット更新フラグとして「1」をS/Nビットメモリ100に供給し、S/Nビットメモリ100は、このフラグに応じて、2番サンプルに対応するアドレスのS/Nビットを、significant (S) を示す「1」に更新する。

【0074】

一方、DFF107は、決定用AND・OR回路105から供給された2番サンプル用のジャンプアドレス値について、処理クロックとの同期を取り、このジャンプアドレス値をエリア設定部102に供給する。

【0075】

エリア設定部 1 0 2 は、D F F 1 0 7 から供給されたジャンプアドレス値に基づいて、S / N ビットメモリ 1 0 0 において 2 番サンプルを左から 2 個目にする水平方向 5 サンプル×垂直方向 6 サンプルのエリア AR_4 (図 1 0 (A)) を設定し、係数ビットメモリ 1 0 1 において 2 番サンプルを左端にする水平方向 3 サンプル×垂直方向 4 サンプルのエリア AR_5 (図 1 1 (A)) を設定する。

【 0 0 7 6 】

そして、S / N ビットメモリ 1 0 0 は、設定されたエリア AR_4 の S / N ビットデータを AND・OR 回路 1 0 3₁ ~ 1 0 3₁₂ 及び係数モデリング回路 1 0 6 に供給する。また、係数ビットメモリ 1 0 1 は、設定されたエリア AR_5 の係数ビットデータを係数モデリング回路 1 0 6 に供給する。

【 0 0 7 7 】

上述した D F F 1 0 7 は、2 番サンプル用のジャンプアドレス値の同期を取り、現サンプル点位置情報として、AND・OR 回路 1 0 3₁ ~ 1 0 3₁₂ 及びジャンプアドレス値テーブル 1 0 4 に供給する。

【 0 0 7 8 】

AND・OR 回路 1 0 3₃ ~ 1 0 3₁₂ は、現サンプル点位置情報に応じて、現サンプル点位置から、それぞれのサンプル点位置にジャンプ可能か否かを判別する。

【 0 0 7 9 】

例えば、1 1 番サンプル用の AND・OR 回路 1 0 3₁₁ は、第 1 サンプルから第 1 1 サンプルにジャンプ可能か否かを判別するための AND・OR 回路 (1 → 1 1 用) を始めとして、第 1 0 サンプルから第 1 1 サンプルにジャンプするか否かを判別するための AND・OR 回路 (1 0 → 1 1 用) まで、1 0 種類の AND・OR 回路を有している。それぞれの AND・OR 回路は、現在の S / N パターンが図 1 3 に示す S / N マッチングパターンと一致するか否かを判別するため、例えば同図に示すようなパターンマッチング論理式を計算する。ここで、パターンマッチング論理式において、「・」は AND を示し、「+」は OR を示し、「!」は NOT を示す。現サンプル点位置は第 2 サンプルであるため、AND・OR 回路 (2 → 1 1 用) のみを使用され、図 1 3 に示す 2 通りの S / N マッチン

グパターンと一致するか否かが判別される。

【 0 0 8 0 】

このとき、3 番乃至 1 2 番サンプルに S P パス処理対象サンプル点があれば、AND・OR 回路 1 0 3₃ ~ 1 0 3_{1 2} の何れかの出力が「1」になる。一方、3 番乃至 1 2 番サンプルに S P パス処理対象サンプル点が無ければ、AND・OR 回路 1 0 3₃ ~ 1 0 3_{1 2} のどの出力も「0」になる。

【 0 0 8 1 】

図 9 に戻って、決定用 AND・OR 回路 1 0 5 において、AND ゲート 1 5 0₁ ~ 1 5 0_{1 2} の一方の端子には、AND・OR 回路 1 0 3₁ ~ 1 0 3_{1 2} の各出力が与えられる。また、AND ゲート 1 5 0₁ ~ 1 5 0_{1 2} の他方の端子には、現サンプル点位置情報に基づいてジャンプアドレス値テーブル 1 0 4 が設定した 1 番乃至 1 2 番サンプルへのジャンプアドレス値が与えられる。したがって、3 番乃至 1 2 番サンプルに S P パス処理対象サンプル点があり、AND・OR 回路 1 0 3₃ ~ 1 0 3_{1 2} の何れかの出力が「1」になった場合には、その AND・OR 回路からの出力が OR ゲート 1 5 2 に与えられ、ジャンプアドレス値として上述の係数モデリング回路 1 0 6 に供給される。

【 0 0 8 2 】

一方、決定用 AND・OR 回路 1 0 5 において、AND ゲート 1 5 1 の一方の端子には、AND・OR 回路 1 0 3₁ ~ 1 0 3_{1 2} の全出力が反転して与えられる。また、AND ゲート 1 5 1 の他方の端子には、エリアをジャンプするエリアジャンプフラグが与えられる。したがって、3 番乃至 1 2 番サンプルに S P パス処理対象サンプル点がなく、AND・OR 回路 1 0 3₃ ~ 1 0 3_{1 2} の出力が全て「0」の場合には、AND ゲート 1 5 1 が有効となるため、そのエリアジャンプフラグが OR ゲート 1 5 2 に与えられ、ジャンプアドレス値として上述の係数モデリング回路 1 0 6 に供給される。

【 0 0 8 3 】

ここで、次の S P パス処理対象サンプル点として 1 1 番サンプルが見つかったとして説明を進める。この場合、AND・OR 回路 1 0 3_{1 1} の出力が「1」となり、AND ゲート 1 5 0_{1 1} が有効となるため、決定用 AND・OR 回路 1 0

5 は、ORゲート 1 5 2 を介して、1 1 番サンプル用のジャンプアドレス値を係数モデリング回路 1 0 6 及び DFF 1 0 7 に供給する。

【 0 0 8 4 】

係数モデリング回路 1 0 6 は、1 1 番サンプル用のジャンプアドレス値が供給されると、1 1 番サンプルを S P パスで処理し、係数ビットデータ X とコンテキスト C X を算出する。ここで、係数モデリング回路 1 0 6 は、1 1 番サンプルの係数ビットデータ X が 1 である場合には、S / N ビット更新フラグとして「1」を DFF 1 0 8 を介して S / N ビットメモリ 1 0 0 に供給し、S / N ビットメモリ 1 0 0 は、このフラグに応じて、1 1 番サンプルに対応するアドレスの S / N ビットを、significant (S) を示す「1」に更新する。

【 0 0 8 5 】

一方、DFF 1 0 7 は、決定用 AND ・ OR 回路 1 0 5 から供給された 1 1 番サンプル用のジャンプアドレス値の同期を取り、このジャンプアドレス値をエリア設定部 1 0 2 に供給する。

【 0 0 8 6 】

エリア設定部 1 0 2 は、DFF 1 0 7 から供給されたジャンプアドレス値に基づいて、S / N ビットメモリ 1 0 0 において 1 1 番サンプルを左から 2 個目にする水平方向 5 サンプル × 垂直方向 6 サンプルのエリア A R₆ (図 1 0 (A)) を設定し、係数ビットメモリ 1 0 1 において 1 1 番サンプルを左端にする水平方向 3 サンプル × 垂直方向 4 サンプルのエリア A R₇ (図 1 1 (A)) を設定する。この結果、図 1 0 (B)、図 1 1 (B) に示すように、1 1 番サンプルのサンプル番号は、3 番に変更される。

【 0 0 8 7 】

そして、S / N ビットメモリ 1 0 0 は、設定されたエリアの S / N ビットデータを AND ・ OR 回路 1 0 3₁ ~ 1 0 3₁₂ 及び係数モデリング回路 1 0 6 に供給する。また、係数ビットメモリ 1 0 1 は、設定されたエリア A R₇ の係数ビットデータを係数モデリング回路 1 0 6 に供給する。

【 0 0 8 8 】

上述した DFF 1 0 7 は、1 1 番サンプル用のジャンプアドレス値の同期を取

り、現サンプル点位置情報として、AND・OR回路 $103_1 \sim 103_{12}$ 及びジャンプアドレス値テーブル 104 に供給する。

【0089】

このとき、4番乃至12番サンプルにSPパス処理対象サンプル点があれば、AND・OR回路 $103_4 \sim 103_{12}$ の何れかの出力が「1」になる。一方、4番乃至12番サンプルにSPパス処理対象サンプル点が無ければ、AND・OR回路 $103_4 \sim 103_{12}$ のどの出力も「0」になる。

【0090】

決定用AND・OR回路 105 において、ANDゲート $150_1 \sim 150_{12}$ の一方の端子には、AND・OR回路 $103_1 \sim 103_{12}$ の各出力が与えられる。また、ANDゲート $150_1 \sim 150_{12}$ の他方の端子には、現サンプル点位置情報に基づいてジャンプアドレス値テーブル 104 が設定した1番乃至12番サンプルへのジャンプアドレス値が与えられる。したがって、4番乃至12番サンプルにSPパス処理対象サンプル点があり、AND・OR回路 $103_4 \sim 103_{12}$ の何れかの出力が「1」になった場合には、そのAND・OR回路からの出力がORゲート 152 に与えられ、ジャンプアドレス値として上述の係数モデリング回路 106 に供給される。

【0091】

一方、決定用AND・OR回路 105 において、ANDゲート 151 の一方の端子には、AND・OR回路 $103_1 \sim 103_{12}$ の全出力が反転して与えられる。また、ANDゲート 151 の他方の端子には、エリアをジャンプするエリアジャンプフラグが与えられる。したがって、4番乃至12番サンプルにSPパス処理対象サンプル点がなく、AND・OR回路 $103_4 \sim 103_{12}$ の出力が全て「0」の場合には、これら全出力が反転されてANDゲート 151 の一方の端子に与えられ、そのエリアジャンプフラグがORゲート 152 に与えられ、ジャンプアドレス値として上述の係数モデリング回路 106 に供給される。これにより、エリア設定部 102 は、S/Nビットメモリ 100 において新たに水平方向5サンプル×垂直方向6サンプルのエリア AR_8 （図10（B））を設定し、係数ビットメモリ 101 において新たに水平方向3サンプル×垂直方向4サンプル

のエリア AR_g (図 1 1 (B)) を設定する。

【 0 0 9 2 】

なお、このようにエリアジャンプを行った際には、現サンプル点位置は更新されない。各 AND・OR 回路 $103_1 \sim 103_{12}$ は、当該エリアにおける最初の SP パス処理対象サンプル点を見つけるために、それぞれのサンプル点位置が最初の SP パス処理対象サンプル点か否かを判別する。

【 0 0 9 3 】

例えば、11 番サンプル用の AND・OR 回路 103_{11} は、現在の S/N パターンが図 1 4 に示す S/N マッチングパターンと一致するか否かを判別するため、例えば同図に示すようなパターンマッチング論理式を計算する。

【 0 0 9 4 】

以上説明したように、第 1 の手法によれば、探索エリア内に SP パス処理対象サンプル点がある場合、そのサンプル点にジャンプして SP パス処理を行い、SP パス処理対象でないサンプル点における処理を省略することができるため、スキャン順で処理した場合と比較して、処理サイクル数を少なく、或いは処理時間を短くすることができる。また、処理クロック周波数を低減することもでき、低消費電力なハードウェアが実現可能である。

【 0 0 9 5 】

続いて第 2 の手法の処理概念について説明する。この第 2 の手法においても、符号ブロック内の各サンプル点の significant (S) 又は non-significant (N) の状態を表す S/N ビットメモリを用意する。一方、係数ビットデータは、係数ビットメモリに格納される。

【 0 0 9 6 】

上述したように、ビットプレーン符号化パス生成部 1 4 における係数ビット・モデリングは、最上位ビット (MSB) から最下位ビット (LSB) の方向に、ビットプレーン毎に独立に 3 つの符号化パスで処理を行う。この際、予め S/N ビットメモリの全アドレスの値を「0」、すなわち non-significant (N) に初期化しておく。

【 0 0 9 7 】

係数ビットデータが0しかないビットプレーン Z は、0ビットプレーンとして、3つの符号化パスの処理は行わない。また、何れかのサンプル点における係数ビットデータが1である最初のビットプレーン Z_1 は、CUパスで処理される。このとき、係数ビットデータが1であるサンプル点はsignificant (S) となり、S/Nビットメモリのそのサンプル点を示すアドレスに「1」が立つ。続いて、1ビット下位のビットプレーン Z_2 に移り、SPパス、MRパス、CUパスの順に3つの符号化パスで処理し、順次LSB側のビットプレーンに移って同様の処理を繰り返す。

【0098】

ここで、第2の手法では、SPパス処理を高速化するために、S/Nマッチングパターンを探索するエリアのサンプル数分用意する。各サンプル点のS/Nマッチングパターンには、それぞれに応じたジャンプアドレス値が設定される。このS/Nマッチングパターンとは、上述した第1の手法とは異なり、任意のサンプル点がSPパス処理対象サンプル点であるか否かを判断するための、当該サンプル点及びその周囲におけるsignificant (S) 又はnon-significant (N) のパターンを示したものである。具体的には、図15に示すように、8近傍の少なくとも1つのサンプル点がsignificantであるようなnon-significantなサンプル点が、SPパス処理対象サンプル点とされる。なお、図15において、sはsignificantなサンプル点を示し、他のsと共にORを形成する。また、Nはnon-significantなサンプル点を示す。

【0099】

第2の手法では、各サンプル点についてこのS/Nマッチングパターンとの一致、不一致を調べ、SPパス処理対象サンプル点であるか否かを判別する。そして、プライオリティ・エンコーダにおいて、一致したサンプル点のうち現サンプル点にスキャン順で最も近いサンプル点が選択され、このサンプル点が次のSPパス処理対象サンプル点とされる。

【0100】

ここで、用意すべきS/Nマッチングパターン数は、一度に探索するエリアのサイズに応じて変わる。以下では、一例として、水平3サンプル×垂直4サンプ

ルのエリアにジャンプ先となる S P パス処理対象サンプル点があるか否かを一度に探索するものとして説明する。この場合、参照するサンプル点は、 3×4 エリアの上下左右に 1 サンプルずつ増えて、水平 5 サンプル \times 垂直 6 サンプルのエリアとなる。なお、符号ブロック外を参照することになる場合には、その位置に non-significant なサンプル点が存在するものとして処理を行う。

【 0 1 0 1 】

上述したように、ビットプレーン Z_2 で、最初の S P パス処理が行われる。先ず、図 1 6 (A) に示すような水平 3 サンプル \times 垂直 4 サンプルのエリア AR_{10} に対して、S P パス処理対象サンプル点があるか否かを判別するため、S/N ビットメモリからこのエリア AR_{10} 及びその周囲に相当する水平 5 サンプル \times 垂直 6 サンプルの S/N ビットデータがロードされる。

【 0 1 0 2 】

そして、エリア AR_{10} の各サンプル点について上述した S/N マッチングパターンとの一致、不一致を調べ、S P パス処理対象サンプル点であるか否かを判別する。エリア AR_{10} に S P パス処理対象サンプル点があった場合には、プライオリティ・エンコーダにおいて、現サンプル点にスキャン順で最も近いサンプル点のアドレスがジャンプアドレス値として出力される。

【 0 1 0 3 】

なお、現サンプル点にスキャン順で最も近いサンプル点のアドレスをジャンプアドレス値として出力する例に限定されず、このアドレスを次サンプル点位置として、図 8 に示したジャンプアドレス値テーブル 1 0 4 を参照して得られるジャンプアドレス値を出力するようにしても構わない。

【 0 1 0 4 】

現サンプル点位置が 1 番サンプル、5 番サンプルである場合の S/N マッチングパターンとの一致点位置、不一致点位置とプライオリティ・エンコーダの出力との関係をそれぞれ図 1 7 (A)、(B) に示す。なお、図 1 7 において、「○」は一致点位置を示し、「×」は不一致点位置を示す。また、「-」は一致／不一致を考慮しないサンプル点を示す。また、PE out は、プライオリティ・エンコーダから出力されるジャンプアドレス値である。

【 0 1 0 5 】

図 1 6 (A) の例では、現サンプル点位置が 2 番サンプル A であるときに、5 番サンプル B、11 番サンプル C が S/N マッチングパターンと一致しているため、プライオリティ・エンコーダから出力されるジャンプアドレス値は 5 となる。そして、アドレスジャンプしたサンプル点 B が S P パスで処理され、続いて、アドレスジャンプしたサンプル点 B が左端の列となる新たなエリア AR_{11} を設定し、上記手順を繰り返す。なお、アドレスジャンプしたサンプル点 B を左端の列とする例に限定されず、このサンプル点 B を起点とするエリアを設定するようにしても構わない。

【 0 1 0 6 】

一方、エリア AR_{10} に S P パス処理対象サンプル点がなかった場合には、何れの S/N マッチングパターンも不一致となる。この場合には、図 1 6 (B) に示すようなエリア AR_{10} より先のエリア AR_{12} に対して再度 S P パス処理対象サンプル点があるか否かを判別するため、S/N ビットメモリからエリア AR_{12} 及びその周囲に相当する水平 5 サンプル×垂直 6 サンプルの S/N ビットデータがロードされる。

【 0 1 0 7 】

以上説明した第 2 の手法を行う場合におけるビットプレーン符号化パス生成部 1 4 の S P パス処理に関する部分の概略構成を図 1 8 に示す。図 1 8 に示すように、ビットプレーン符号化パス生成部 1 4 は、S/N ビットメモリ 1 0 0 と、係数ビットメモリ 1 0 1 と、エリア設定部 1 0 2 と、1 番乃至 1 2 番サンプル用の AND・OR 回路 $103_1 \sim 103_{12}$ と、ジャンプアドレス値テーブル 1 0 4 と、係数モデリング回路 1 0 6 と、DFF 1 0 7, 1 0 8 と、プライオリティ・エンコーダ 1 1 0 とを少なくとも有する。

【 0 1 0 8 】

符号ブロックサイズが 64×64 である場合、S/N ビットメモリ 1 0 0 のサイズは、図 1 9 に示すように、 $64 \times 64 \times 1$ ビットとなる。この S/N ビットメモリ 1 0 0 には、そのアドレスにおけるサンプル点が significant (S) のとき「1」が立ち、non-significant (N) のとき「0」が立つ。

【 0 1 0 9 】

一方、符号ブロックサイズが 64×64 、ビットプレーン数が N である場合、係数ビットメモリ 1 0 1 のサイズは、図 2 0 に示すように、 $64 \times 64 \times N$ ビットとなる。この係数ビットメモリ 1 0 1 には、そのサンプル点における係数ビットデータが格納される。

【 0 1 1 0 】

以下では、図示しないサンプル点 Y から図 1 9 (A)、図 2 0 (A) の 2 番サンプルにジャンプすることが決定された状態からの SP パス処理について、図 1 8 及び図 2 1 のタイミングチャートを参照しながら詳細に説明する。なお、この例では、水平 3 サンプル \times 垂直 4 サンプルのエリアにジャンプ先となる SP パス処理対象サンプル点があるか否かを一度に探索するものとする。

【 0 1 1 1 】

プライオリティ・エンコーダ 1 1 0 は、2 番サンプル用のジャンプアドレス値を係数モデリング回路 1 0 6 及び DFF 1 0 7 に供給する。

【 0 1 1 2 】

係数モデリング回路 1 0 6 は、2 番サンプル用のジャンプアドレス値が供給されると、2 番サンプルを SP パスで処理し、係数ビットデータ X とコンテキスト CX を算出する。ここで、係数モデリング回路 1 0 6 は、2 番サンプルの係数ビットデータ X が 1 である場合には、 DFF 1 0 8 において処理クロックとの同期を取った後、 S/N ビット更新フラグとして「1」を S/N ビットメモリ 1 0 0 に供給し、 S/N ビットメモリ 1 0 0 は、このフラグに応じて、2 番サンプルに対応するアドレスの S/N ビットを、significant (S) を示す「1」に更新する。

【 0 1 1 3 】

一方、 DFF 1 0 7 は、プライオリティ・エンコーダ 1 1 0 から供給された 2 番サンプル用のジャンプアドレス値について、処理クロックとの同期を取り、このジャンプアドレス値をエリア設定部 1 0 2 に供給する。

【 0 1 1 4 】

エリア設定部 1 0 2 は、 DFF 1 0 7 から供給されたジャンプアドレス値に基

づいて、S/Nビットメモリ100において2番サンプルを左から2個目にする水平方向5サンプル×垂直方向6サンプルのエリア AR_{13} （図19（A））を設定し、係数ビットメモリ101において2番サンプルを左端にする水平方向3サンプル×垂直方向4サンプルのエリア AR_{14} （図20（A））を設定する。

【0115】

そして、S/Nビットメモリ100は、設定されたエリア AR_{13} のS/NビットデータをAND・OR回路103₁～103₁₂及び係数モデリング回路106に供給する。また、係数ビットメモリ101は、設定されたエリア AR_{14} の係数ビットデータを係数モデリング回路106に供給する。

【0116】

上述したDFF107は、2番サンプル用のジャンプアドレス値の同期を取り、現サンプル点位置情報として、プライオリティ・エンコーダ110に供給する。

【0117】

AND・OR回路103₃～103₁₂は、各サンプル点についてこのS/Nマッチングパターンとの一致、不一致を調べ、SPパス処理対象サンプル点であるか否かを判別する。例えば、第1、第4、第7、第11サンプル用のAND・OR回路は、現在のS/Nパターンが図22に示すS/Nマッチングパターンと一致するか否かを判別するため、例えば同図に示すようなパターンマッチング論理式を計算する。ここで、パターンマッチング論理式において、「・」はANDを示し、「+」はORを示し、「!」はNOTを示す。

【0118】

このとき、1番乃至12番サンプルにSPパス処理対象サンプル点があれば、AND・OR回路103₁～103₁₂の何れかの出力が「1」になる。一方、1番乃至12番サンプルにSPパス処理対象サンプル点が無ければ、AND・OR回路103₁～103₁₂のどの出力も「0」になる。

【0119】

図18に戻って、プライオリティ・エンコーダ110には、AND・OR回路103₁～103₁₂の各出力の他、現サンプル点位置情報が与えられる。そし

て、3番乃至12番サンプルにSPパス処理対象サンプル点があり、AND・OR回路103₃～103₁₂のうち1以上の出力が「1」になった場合には、そのうち現サンプル点にスキャン順で最も近いサンプル点のアドレスがジャンプアドレス値として上述の係数モデリング回路106に供給される。

【0120】

一方、プライオリティ・エンコーダ110には、エリアをジャンプするエリアジャンプフラグも与えられる。そして、3番乃至12番サンプルにSPパス処理対象サンプル点がなくAND・OR回路103₃～103₁₂の出力が全て「0」である場合、或いはAND・OR回路103₁の出力のみが「1」である場合には、そのエリアジャンプフラグがジャンプアドレス値として上述の係数モデリング回路106に供給される。

【0121】

ここで、次のSPパス処理対象サンプル点として11番サンプルのみが見つかったとして説明を進める。この場合、AND・OR回路103₁₁の出力が「1」となり、プライオリティ・エンコーダ110は、11番サンプル用のジャンプアドレス値を係数モデリング回路106及びDFF107に供給する。

【0122】

係数モデリング回路106は、11番サンプル用のジャンプアドレス値が供給されると、11番サンプルをSPパスで処理し、係数ビットデータXとコンテキストCXを算出する。ここで、係数モデリング回路106は、11番サンプルの係数ビットデータXが1である場合には、S/Nビット更新フラグとして「1」をDFF108を介してS/Nビットメモリ100に供給し、S/Nビットメモリ100は、このフラグに応じて、11番サンプルに対応するアドレスのS/Nビットを、significant (S) を示す「1」に更新する。

【0123】

一方、DFF107は、決定用AND・OR回路105から供給された11番サンプル用のジャンプアドレス値の同期を取り、このジャンプアドレス値をエリア設定部102に供給する。

【0124】

エリア設定部 1 0 2 は、D F F 1 0 7 から供給されたジャンプアドレス値に基づいて、S / N ビットメモリ 1 0 0 において 1 1 番サンプルを左から 2 個目にする水平方向 5 サンプル×垂直方向 6 サンプルのエリア AR_{15} (図 1 9 (A)) を設定し、係数ビットメモリ 1 0 1 において 1 1 番サンプルを左端にする水平方向 3 サンプル×垂直方向 4 サンプルのエリア AR_{16} (図 2 0 (A)) を設定する。この結果、図 1 9 (B)、図 2 0 (B) に示すように、1 1 番サンプルのサンプル番号は、3 番に変更される。

【 0 1 2 5 】

そして、S / N ビットメモリ 1 0 0 は、設定されたエリア AR_{15} の S / N ビットデータを AND・OR 回路 1 0 3₁ ~ 1 0 3₁₂ 及び係数モデリング回路 1 0 6 に供給する。また、係数ビットメモリ 1 0 1 は、設定されたエリア AR_{16} の係数ビットデータを係数モデリング回路 1 0 6 に供給する。

【 0 1 2 6 】

上述した D F F 1 0 7 は、1 1 番サンプル用のジャンプアドレス値の同期を取り、現サンプル点位置情報として、プライオリティ・エンコーダ 1 1 0 に供給する。

【 0 1 2 7 】

このとき、1 番乃至 1 2 番サンプルに S P パス処理対象サンプル点があれば、AND・OR 回路 1 0 3₁ ~ 1 0 3₁₂ の何れかの出力が「1」になる。一方、1 番乃至 1 2 番サンプルに S P パス処理対象サンプル点が無ければ、AND・OR 回路 1 0 3₁ ~ 1 0 3₁₂ のどの出力も「0」になる。

【 0 1 2 8 】

上述したように、プライオリティ・エンコーダ 1 1 0 には、AND・OR 回路 1 0 3₁ ~ 1 0 3₁₂ の各出力の他、現サンプル点位置情報が与えられる。したがって、4 番乃至 1 2 番サンプルに S P パス処理対象サンプル点があり、AND・OR 回路 1 0 3₄ ~ 1 0 3₁₂ のうち 1 以上の出力が「1」になった場合には、そのうち現サンプル点にスキャン順で最も近いサンプル点のアドレスがジャンプアドレス値として上述の係数モデリング回路 1 0 6 に供給される。

【 0 1 2 9 】

一方、プライオリティ・エンコーダ 1 1 0 には、エリアをジャンプするエリアジャンプフラグも与えられる。そして、4 番乃至 1 2 番サンプルに S P パス処理対象サンプル点がなく AND・OR 回路 1 0 3₄ ~ 1 0 3₁₂ の出力が全て「0」である場合、或いは AND・OR 回路 1 0 3₁, 1 0 3₂ の出力のみが「1」である場合には、そのエリアジャンプフラグがジャンプアドレス値として上述の係数モデリング回路 1 0 6 に供給される。これにより、エリア設定部 1 0 2 は、S/N ビットメモリ 1 0 0 において新たに水平方向 5 サンプル×垂直方向 6 サンプルのエリア A R₁₇ (図 1 9 (B)) を設定し、係数ビットメモリ 1 0 1 において新たに水平方向 3 サンプル×垂直方向 4 サンプルのエリア A R₁₈ (図 2 0 (B)) を設定する。

【0 1 3 0】

以上説明したように、第 2 の手法によれば、探索エリア内に S P パス処理対象サンプル点がある場合、そのサンプル点にジャンプして S P パス処理を行い、S P パス処理対象でないサンプル点における処理を省略することができるため、スキャン順で処理した場合と比較して、処理サイクル数を少なく、或いは処理時間を短くすることができる。また、処理クロック周波数を低減することもでき、低消費電力なハードウェアが実現可能である。

【0 1 3 1】

なお、本発明は上述した実施の形態のみに限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能であることは勿論である。

【0 1 3 2】

例えば、上述の実施の形態では、ハードウェアの構成として説明したが、これに限定されるものではなく、任意の処理を、C P U (Central Processing Unit) にコンピュータプログラムを実行させることにより実現することも可能である。この場合、コンピュータプログラムは、記録媒体に記録して提供することも可能であり、また、インターネットその他の伝送媒体を介して伝送することにより提供することも可能である。

【0 1 3 3】

【発明の効果】

以上詳細に説明したように本発明に係る画像符号化装置は、入力画像に対してウェーブレット変換を施すことによりサブバンドを生成するウェーブレット変換手段と、上記ウェーブレット変換手段によって生成されたサブバンドを分割し、所定の大きさの符号ブロックを生成する符号ブロック生成手段と、上記符号ブロック単位に最上位ビットから最下位ビットに至るビットプレーンを生成するビットプレーン生成手段と、上記ビットプレーン内の各サンプル点を複数の符号化パスの何れかで処理する符号化パス処理手段と、上記符号化パスによる処理結果に基づいて算術符号化を行う算術符号化手段とを備え、上記符号化パス処理手段は、現サンプル点位置を含む所定のサンプル数の領域及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報を記憶手段から読み出し、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較を並列して行うことにより、次の処理対象となるサンプル点を検出する。

【 0 1 3 4 】

また、本発明に係る画像符号化装置は、入力画像に対してウェーブレット変換を施すことによりサブバンドを生成するウェーブレット変換手段と、上記ウェーブレット変換手段によって生成されたサブバンドを分割し、所定の大きさの符号ブロックを生成する符号ブロック生成手段と、上記符号ブロック単位に最上位ビットから最下位ビットに至るビットプレーンを生成するビットプレーン生成手段と、上記ビットプレーン内の各サンプル点を複数の符号化パスの何れかで処理する符号化パス処理手段と、上記符号化パスによる処理結果に基づいて算術符号化を行う算術符号化手段とを備え、上記符号化パス処理手段は、上記ビットプレーン内の各サンプル点及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報を記憶手段から読み出し、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較を並列して行い、上記複数のマッチングパターンの何れかと一致したサンプル点のうち、現サンプル点位置からスキャン順で最も近いサンプル点を、次の処理対象となるサンプル点として検出する。

【 0 1 3 5 】

このような画像符号化装置によれば、例えば J P E G - 2 0 0 0 方式における Significant Propagation Pass (S P パス) でビットプレーン内の各サンプル点

を処理する際に、現サンプル点位置を含む所定のサンプル数の領域及びその周囲のサンプル点における有意 (significant) 又は非有意 (non-significant) を示す有意／非有意情報を記憶手段から読み出し、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較を並列して行い、又は各サンプル点及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報を記憶手段から読み出し、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較を並列して行う。そして、比較の結果、探索している領域内に S P パス処理対象サンプル点がある場合、そのサンプル点にジャンプして S P パス処理を行い、S P パス処理対象でないサンプル点における処理を省略する。これにより、従来のスキャン順で処理した場合と比較して、処理サイクル数を少なく、或いは処理時間を短くすることができる。

【 0 1 3 6 】

また、本発明に係る画像符号化方法は、入力画像に対してウェーブレット変換を施すことによりサブバンドを生成するウェーブレット変換工程と、上記ウェーブレット変換工程にて生成されたサブバンドを分割し、所定の大きさの符号ブロックを生成する符号ブロック生成工程と、上記符号ブロック単位に最上位ビットから最下位ビットに至るビットプレーンを生成するビットプレーン生成工程と、上記ビットプレーン内の各サンプル点を複数の符号化パスの何れかで処理する符号化パス処理工程と、上記符号化パスによる処理結果に基づいて算術符号化を行う算術符号化工程とを有し、上記符号化パス処理工程では、現サンプル点位置を含む所定のサンプル数の領域及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報が記憶手段から読み出され、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較が並列して行われることにより、次の処理対象となるサンプル点が検出される。

【 0 1 3 7 】

また、本発明に係る画像符号化方法は、入力画像に対してウェーブレット変換を施すことによりサブバンドを生成するウェーブレット変換工程と、上記ウェーブレット変換工程にて生成されたサブバンドを分割し、所定の大きさの符号ブロックを生成する符号ブロック生成工程と、上記符号ブロック単位に最上位ビット

から最下位ビットに至るビットプレーンを生成するビットプレーン生成工程と、上記ビットプレーン内の各サンプル点を複数の符号化パスの何れかで処理する符号化パス処理工程と、上記符号化パスによる処理結果に基づいて算術符号化を行う算術符号化工程とを有し、上記符号化パス処理工程では、上記ビットプレーン内の各サンプル点及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報が記憶手段から読み出され、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較が並列して行われ、上記複数のマッチングパターンの何れかと一致したサンプル点のうち、現サンプル点位置からスキャン順で最も近いサンプル点が、次の処理対象となるサンプル点として検出される。

【 0 1 3 8 】

このような画像符号化方法によれば、例えば J P E G - 2 0 0 0 方式における Significant Propagation Pass (S P パス) でビットプレーン内の各サンプル点を処理する際に、現サンプル点位置を含む所定のサンプル数の領域及びその周囲のサンプル点における有意 (significant) 又は非有意 (non-significant) を示す有意／非有意情報が記憶手段から読み出され、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較が並列して行われ、又は各サンプル点及びその周囲のサンプル点における有意又は非有意を示す有意／非有意情報が記憶手段から読み出され、この有意／非有意情報と予め設定された複数のマッチングパターンとの比較が並列して行われる。そして、比較の結果、探索している領域内に S P パス処理対象サンプル点がある場合、そのサンプル点にジャンプして S P パス処理が行われ、 S P パス処理対象でないサンプル点における処理が省略される。これにより、従来のスキャン順で処理した場合と比較して、処理サイクル数を少なく、或いは処理時間を短くすることができる。

【 0 1 3 9 】

また、本発明に係るプログラムは、上述した画像符号化処理をコンピュータに実行させるものであり、本発明に係る記録媒体は、そのようなプログラムが記録されたコンピュータ読み取り可能なものである。

【 0 1 4 0 】

このようなプログラム及び記録媒体によれば、上述した画像符号化処理をソフ

トウェアにより実現することができる。

【図面の簡単な説明】

【図 1】

本実施の形態における画像符号化装置の概略構成を説明する図である。

【図 2】

第 3 レベルまでウェーブレット変換・分割した場合のサブバンドを説明する図である。

【図 3】

符号ブロックとサブバンドとの関係を説明する図である。

【図 4】

同画像符号化装置で生成されるパケットを説明する図である。

【図 5】

同画像符号化装置のビットプレーン符号化パス生成部において、1 番サンプルから 3 番サンプルへと移る場合の S/N マッチングパターンを示す図である。

【図 6】

同ビットプレーン符号化パス生成部において、1 番サンプルから 8 番サンプルへと移る場合の S/N マッチングパターンを示す図である。

【図 7】

同ビットプレーン符号化パス生成部におけるアドレスジャンプを説明する図であり、同図 (A) は、エリア AR_1 に SP パス処理対象サンプル点があった場合の例を示し、同図 (B) は、エリア AR_1 に SP パス処理対象サンプル点が無かった場合の例を示す。

【図 8】

ジャンプアドレス値を出力するためのテーブルを示す図である。

【図 9】

第 1 の手法におけるビットプレーン符号化パス生成部の SP パス処理に関する部分の概略構成を説明する図である。

【図 10】

同ビットプレーン符号化パス生成部における S/N ビットメモリを説明する図

であり、同図（A）は、2番サンプルから11番サンプルへと移る場合のエリア設定を示し、同図（B）は、エリアジャンプする際のエリア設定を示す。

【図 1 1】

同ビットプレーン符号化パス生成部における係数ビットメモリを説明する図であり、同図（A）は、2番サンプルから11番サンプルへと移る場合のエリア設定を示し、同図（B）は、エリアジャンプする際のエリア設定を示す。

【図 1 2】

第1の手法を行う場合におけるビットプレーン符号化パス生成部の処理のタイミングチャートを示す図である。

【図 1 3】

11番サンプル用のAND・OR回路におけるパターンマッチングを説明する図である。

【図 1 4】

エリアジャンプ後における11番サンプル用のAND・OR回路でのパターンマッチングを説明する図である。

【図 1 5】

第2の手法におけるS/Nマッチングパターンを示す図である。

【図 1 6】

同ビットプレーン符号化パス生成部におけるアドレスジャンプを説明する図であり、同図（A）は、エリアAR₁₀にSPパス処理対象サンプル点があった場合の例を示し、同図（B）は、エリアAR₁₀にSPパス処理対象サンプル点なかった場合の例を示す。

【図 1 7】

S/Nマッチングパターンとの一致点位置、不一致点位置とプライオリティ・エンコーダの出力との関係を示す図であり、同図（A）は、現サンプル点位置が1番サンプルの場合を示し、同図（B）は、現サンプル点位置が5番サンプルである場合を示す。

【図 1 8】

第2の手法を行う場合におけるビットプレーン符号化パス生成部のSPパス処

理に係る部分の概略構成を説明する図である。

【図 1 9】

同ビットプレーン符号化パス生成部における S/N ビットメモリを説明する図であり、同図 (A) は、2 番サンプルから 1 1 番サンプルへと移る場合のエリア設定を示し、同図 (B) は、エリアジャンプする際のエリア設定を示す。

【図 2 0】

同ビットプレーン符号化パス生成部における係数ビットメモリを説明する図であり、同図 (A) は、2 番サンプルから 1 1 番サンプルへと移る場合のエリア設定を示し、同図 (B) は、エリアジャンプする際のエリア設定を示す。

【図 2 1】

第 1 の手法を行う場合におけるビットプレーン符号化パス生成部の処理のタイミングチャートを示す図である。

【図 2 2】

第 1、第 4、第 7、第 1 1 サンプル用の AND・OR 回路におけるパターンマッチングを説明する図である。

【図 2 3】

ビットプレーンを説明する図であり、同図 (A) は、計 1 6 個の係数から成る量子化係数を示し、同図 (B) は、係数の絶対値のビットプレーンを示し、同図 (C) は、符号のビットプレーンを示す。

【図 2 4】

符号ブロック内の符号化パスの処理手順を説明する図である。

【図 2 5】

符号ブロック内の係数のスキャン順序を説明する図である。

【図 2 6】

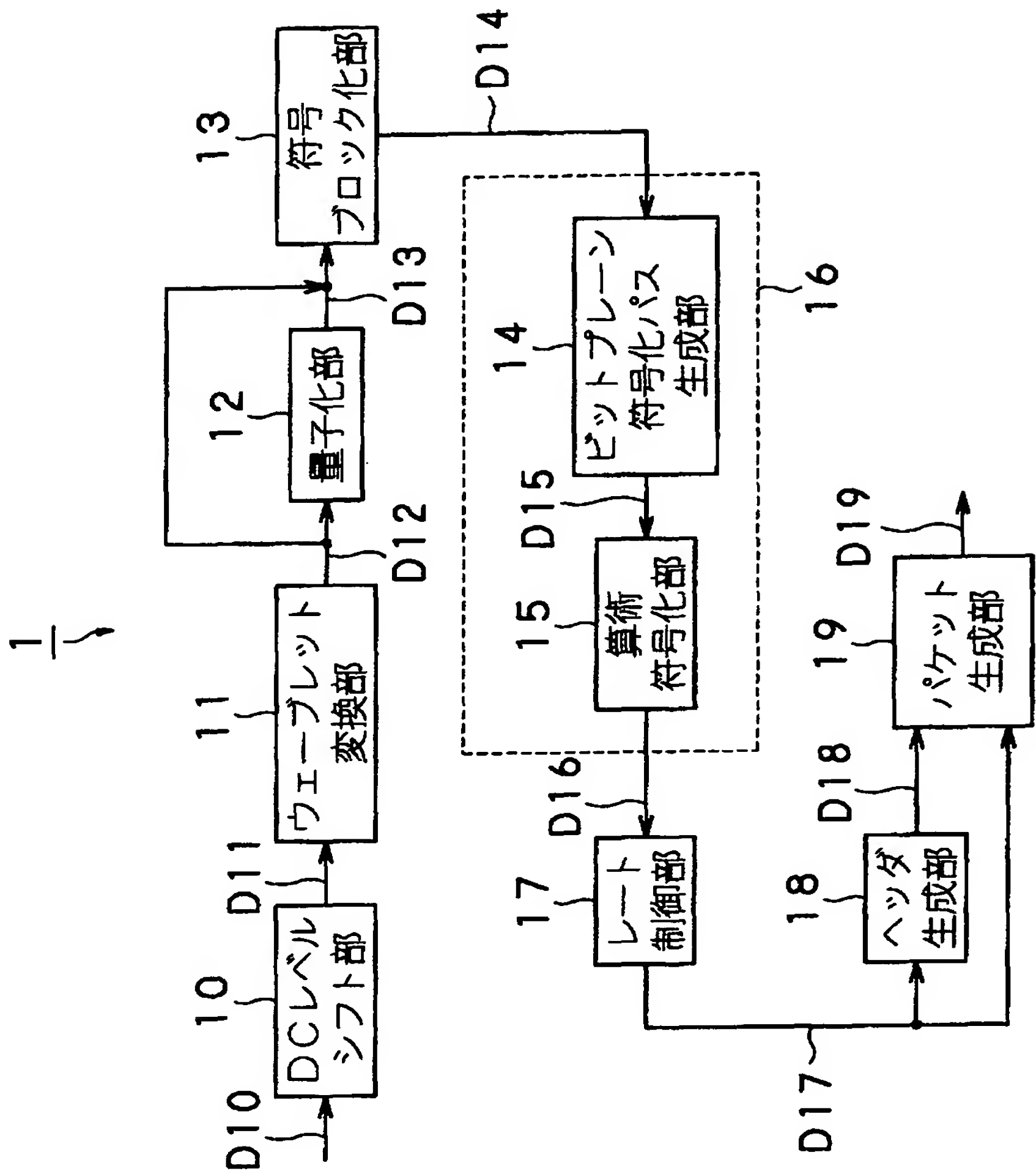
従来の SP パス処理を説明する図であり、同図 (A) は、SP パス処理前における有意なサンプル点を示し、同図 (B) は、SP パス処理により有意なサンプル点が新たに発生した様子を示す。

【符号の説明】

1 画像符号化装置、2 画像復号装置、1 0 DC レベルシフト部、1 1

ウェーブレット変換部、12 量子化部、13 符号ブロック化部、14 ビットプレーン符号化パス生成部、15 算術符号化部、16 EBCOT部、17 レート制御部、18 ヘッダ生成部、19 パケット生成部、100 S/Nビットメモリ、101 係数ビットメモリ、102 エリア設定部、103₁ ~ 103₁₂ AND・OR回路、104 ジャンプアドレス値テーブル、105 決定用AND・OR回路、106 係数モデリング回路、107, 108 DFF、110 プライオリティ・エンコーダ

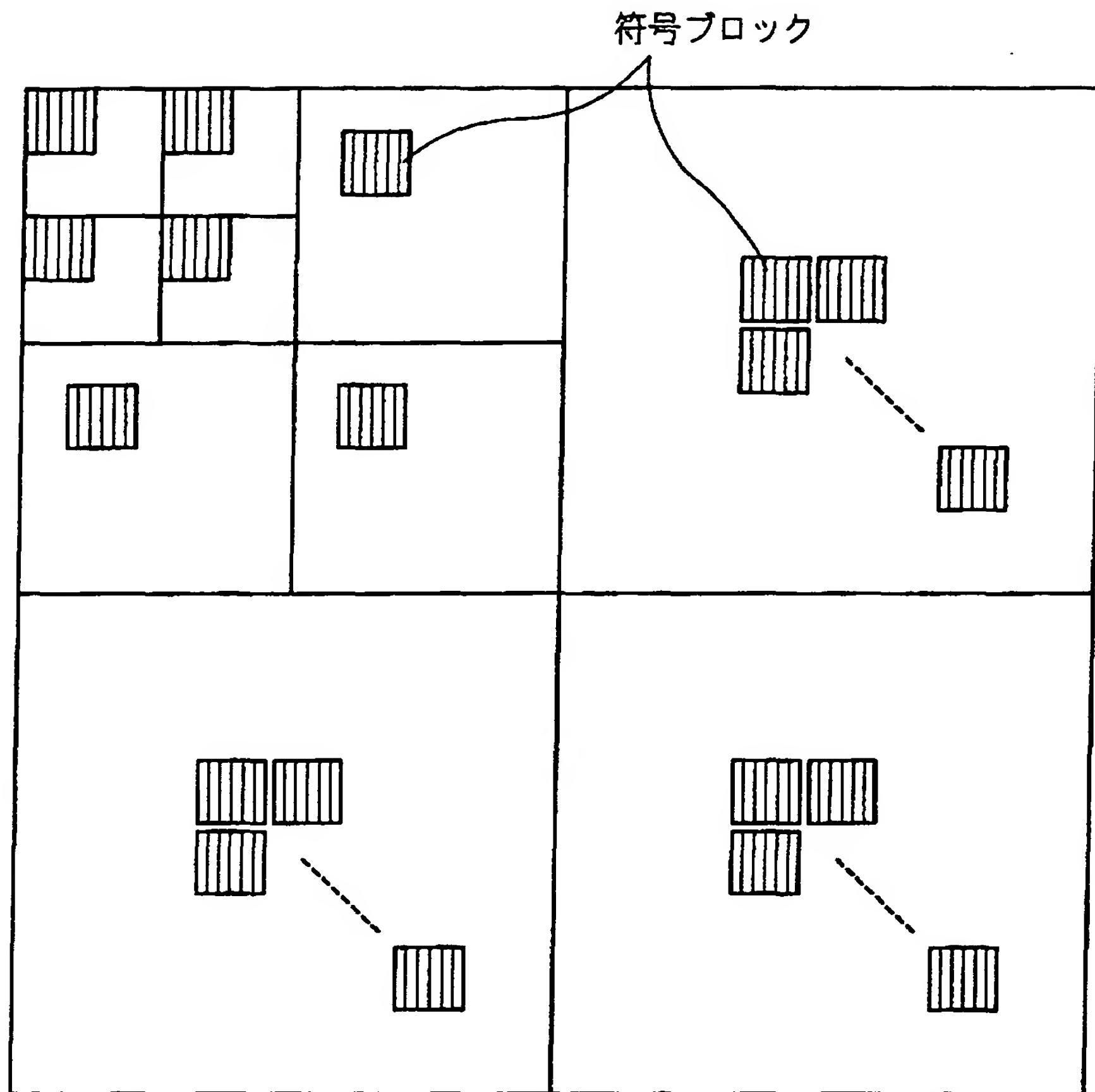
【書類名】 図面
【図 1】



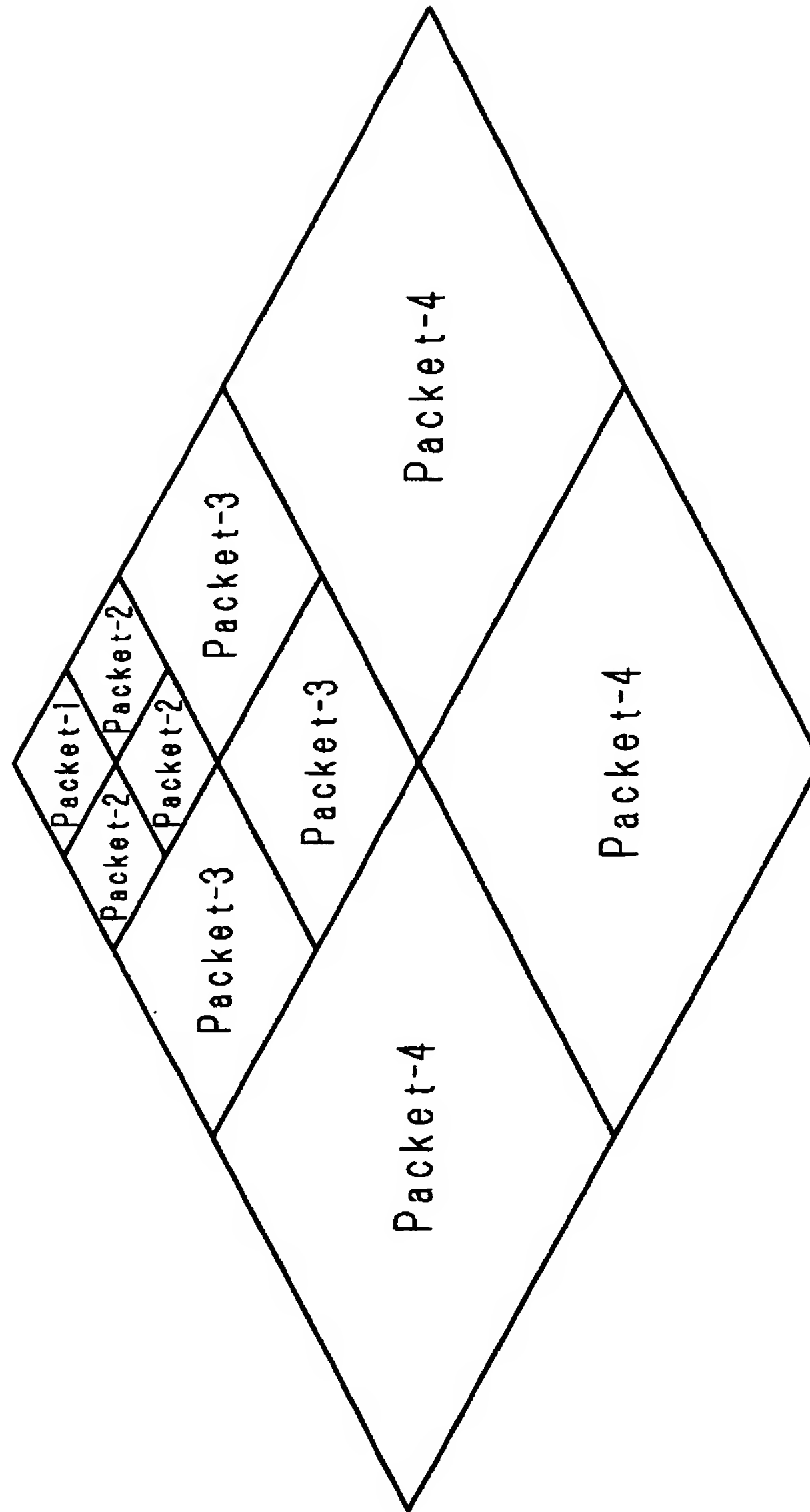
【図 2】

LL-3	HL-3	HL-2	HL-1
LH-3	HH-3		
LH-2		HH-2	HH-1
LH-1			

【図 3】



【 図 4 】



【図 5】

N	¹ N	N
N	² N	N
N	³ N	N
s	⁴ s	s

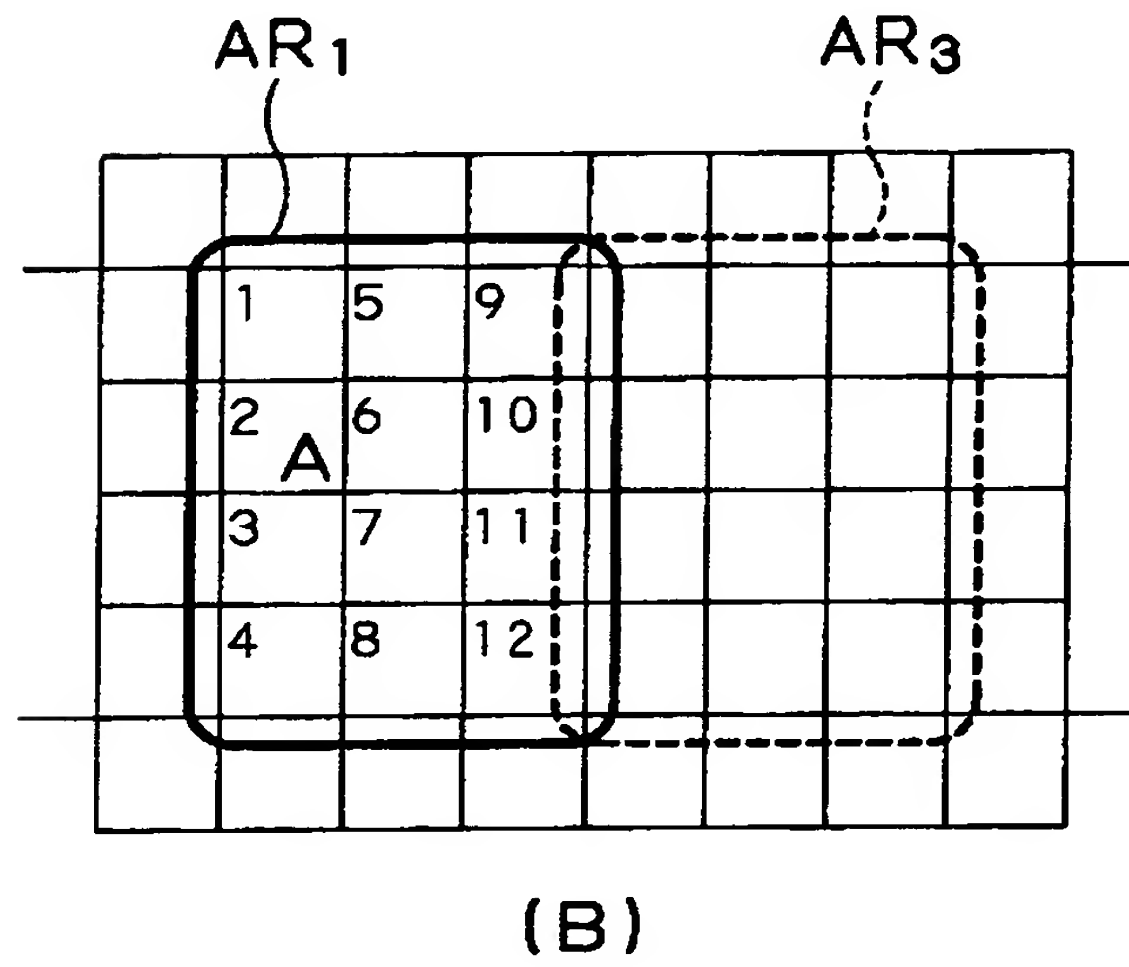
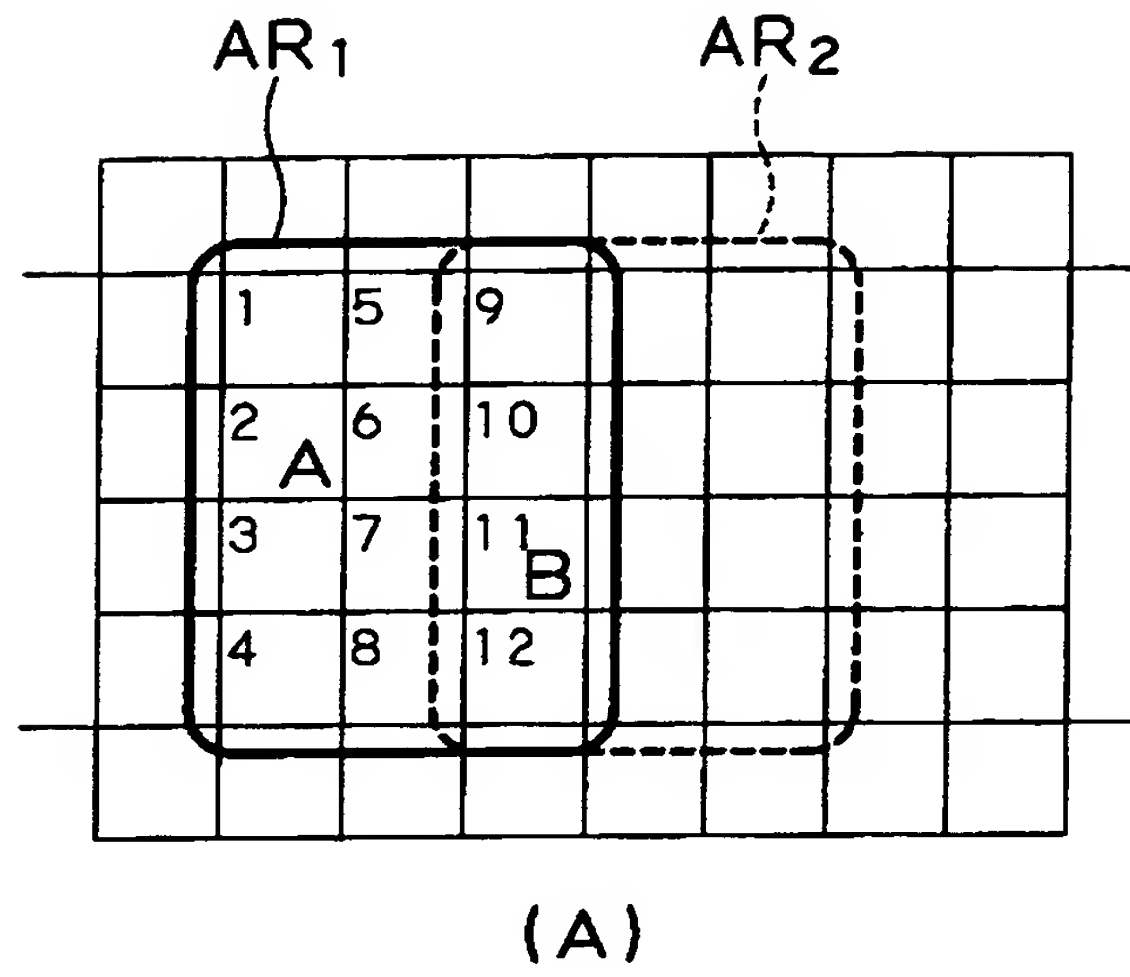
	¹ X	
	² S	
	³ N	
	⁴	

【図 6】

	N	N	N
N	¹ N	⁵ N	N
N	² N	⁶ N	N
N	³ N	⁷ N	N
N	⁴ N	⁸ N	N
N	N	N	S

	¹ X	⁵ S	
	² S	⁶ S	
	³ S	⁷ S	
	⁴ S	⁸ N	

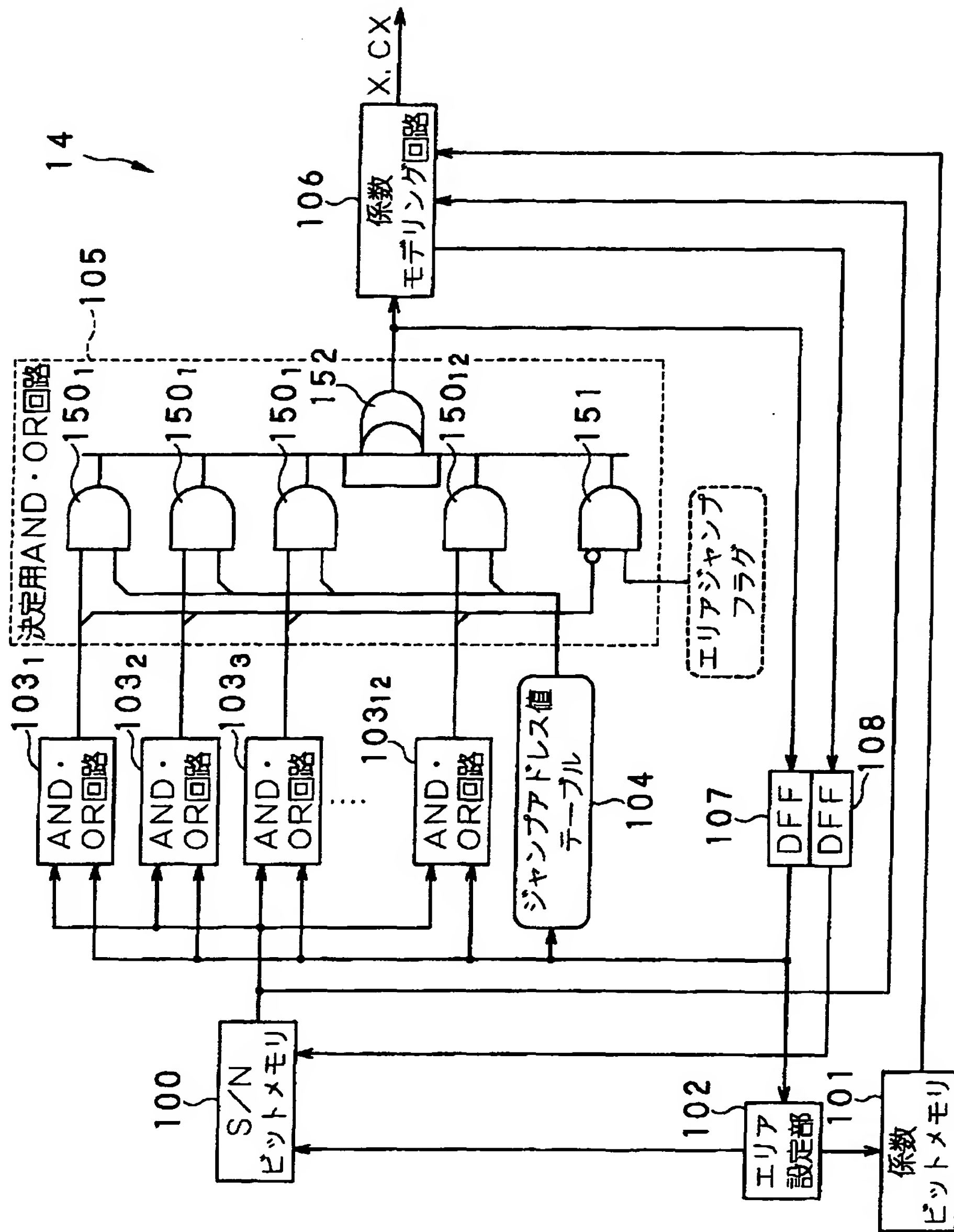
【図 7】



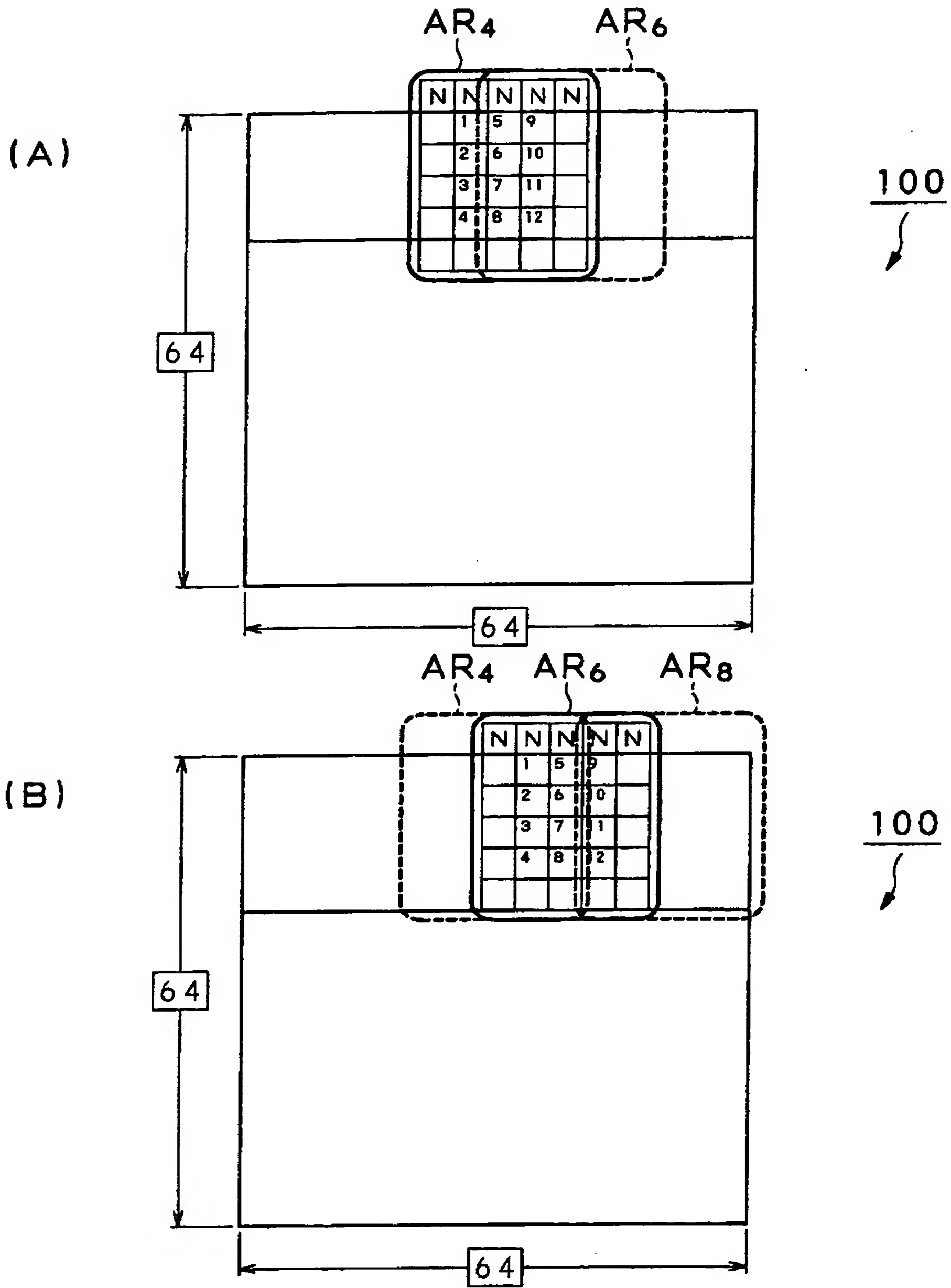
【図 8】

		次サンプル点位置											
		1	2	3	4	5	6	7	8	9	10	11	12
現サンプル点位置	1		1	2	3	4	5	6	7	8	9	10	11
	2			1	2	3	4	5	6	7	8	9	10
	3				1	2	3	4	5	6	7	8	9
	4					1	2	3	4	5	6	7	8
	5						1	2	3	4	5	6	7
	6							1	2	3	4	5	6
	7								1	2	3	4	5
	8									1	2	3	4
	9										1	2	3
	10											1	2
	11												1
	12												

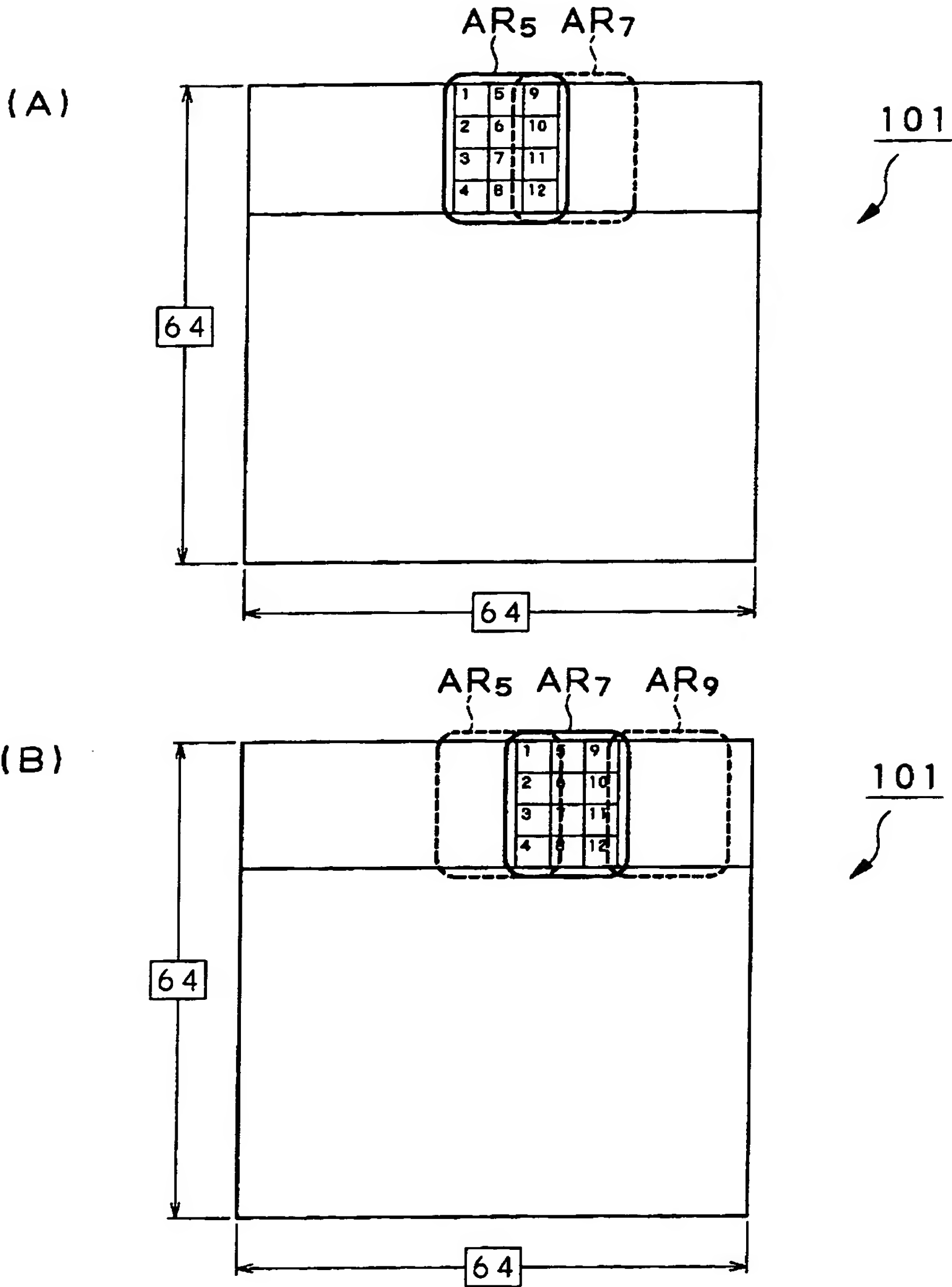
【図 9】



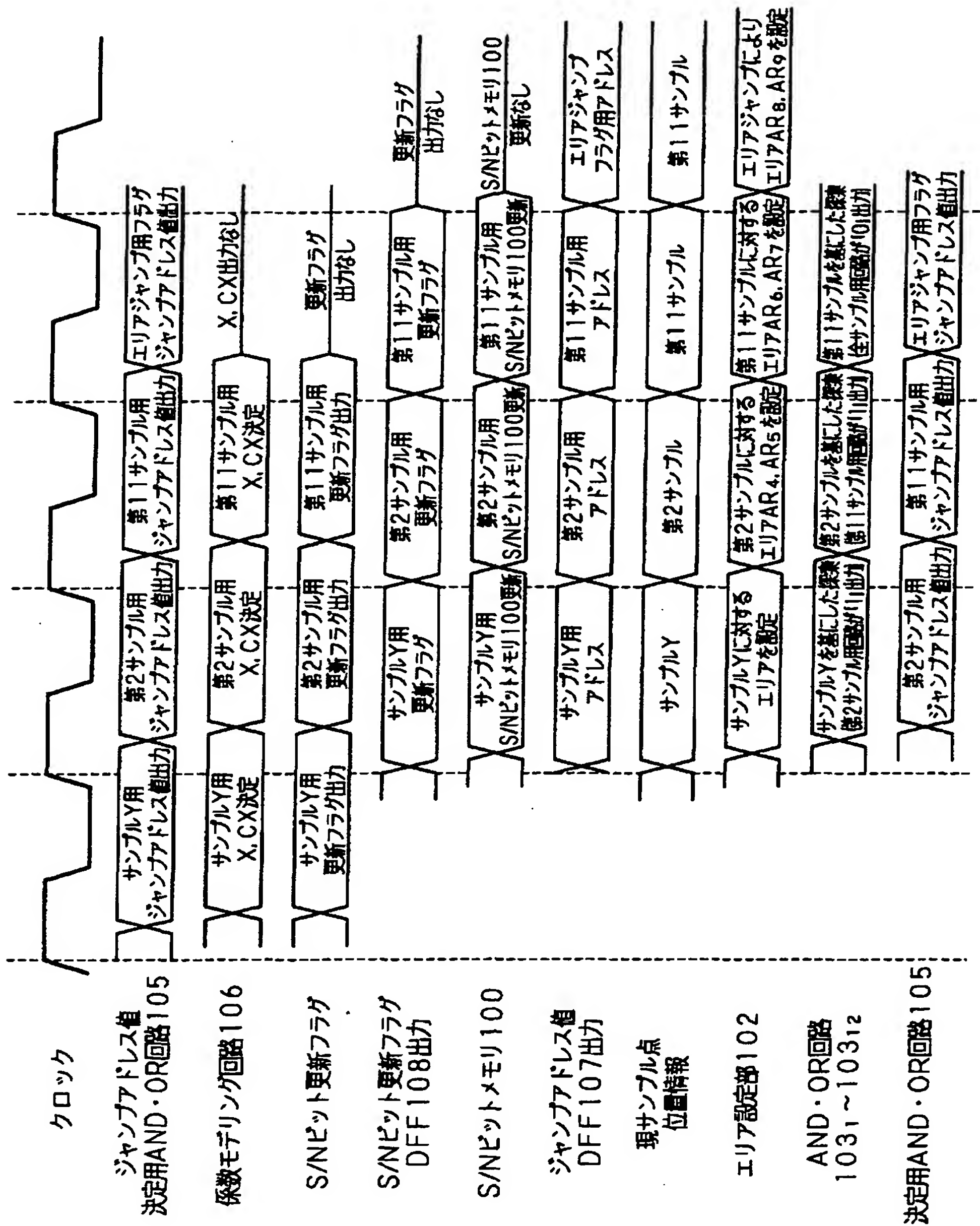
【図 1 0】



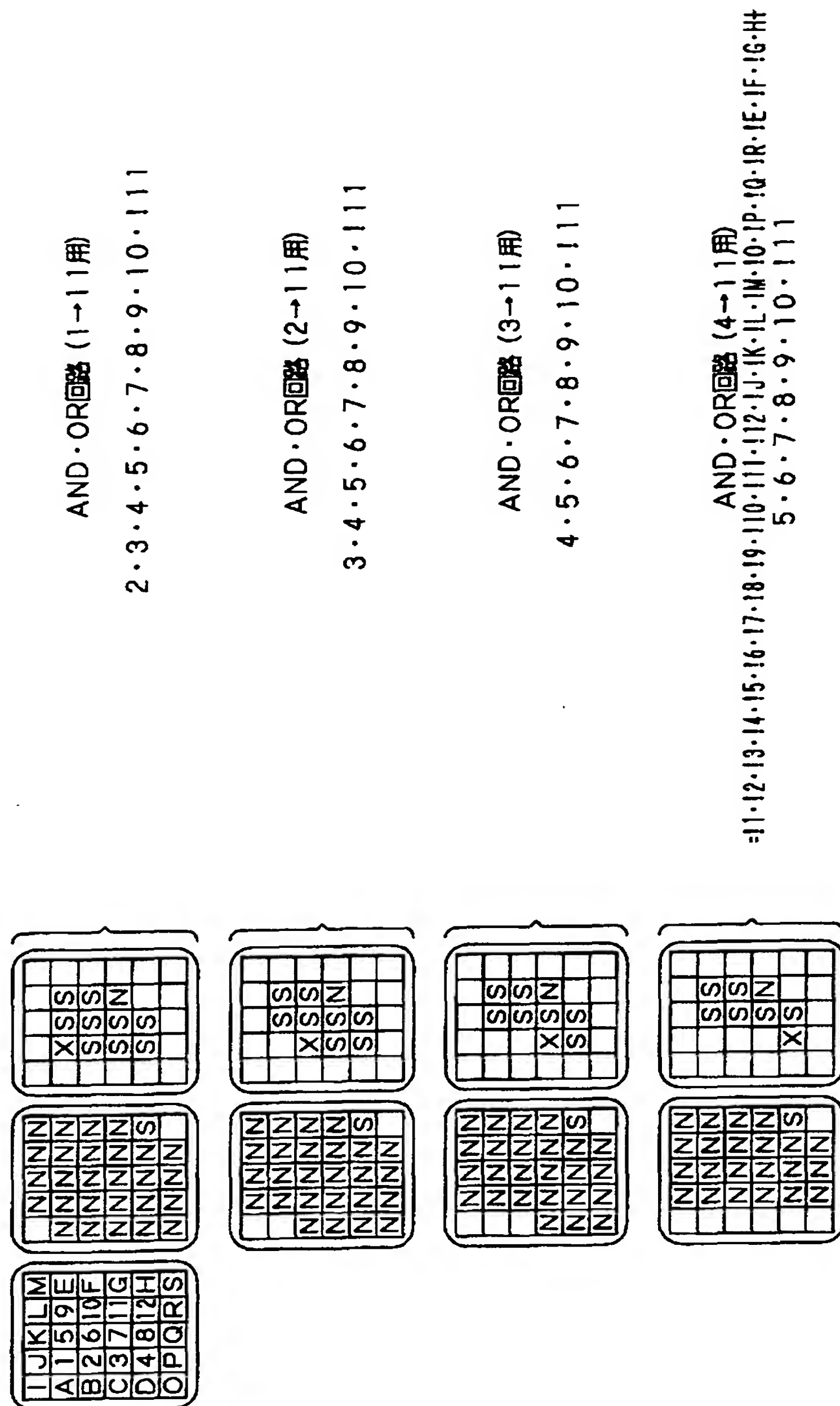
【図 1 1】



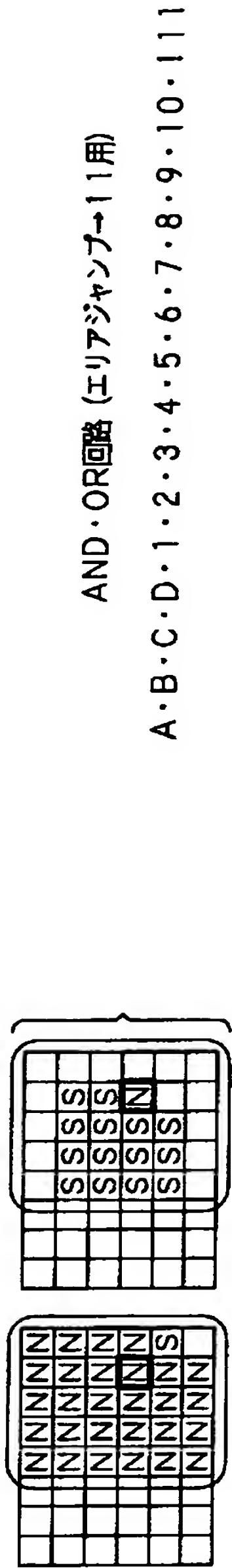
【図 1 2】



【圖 13】



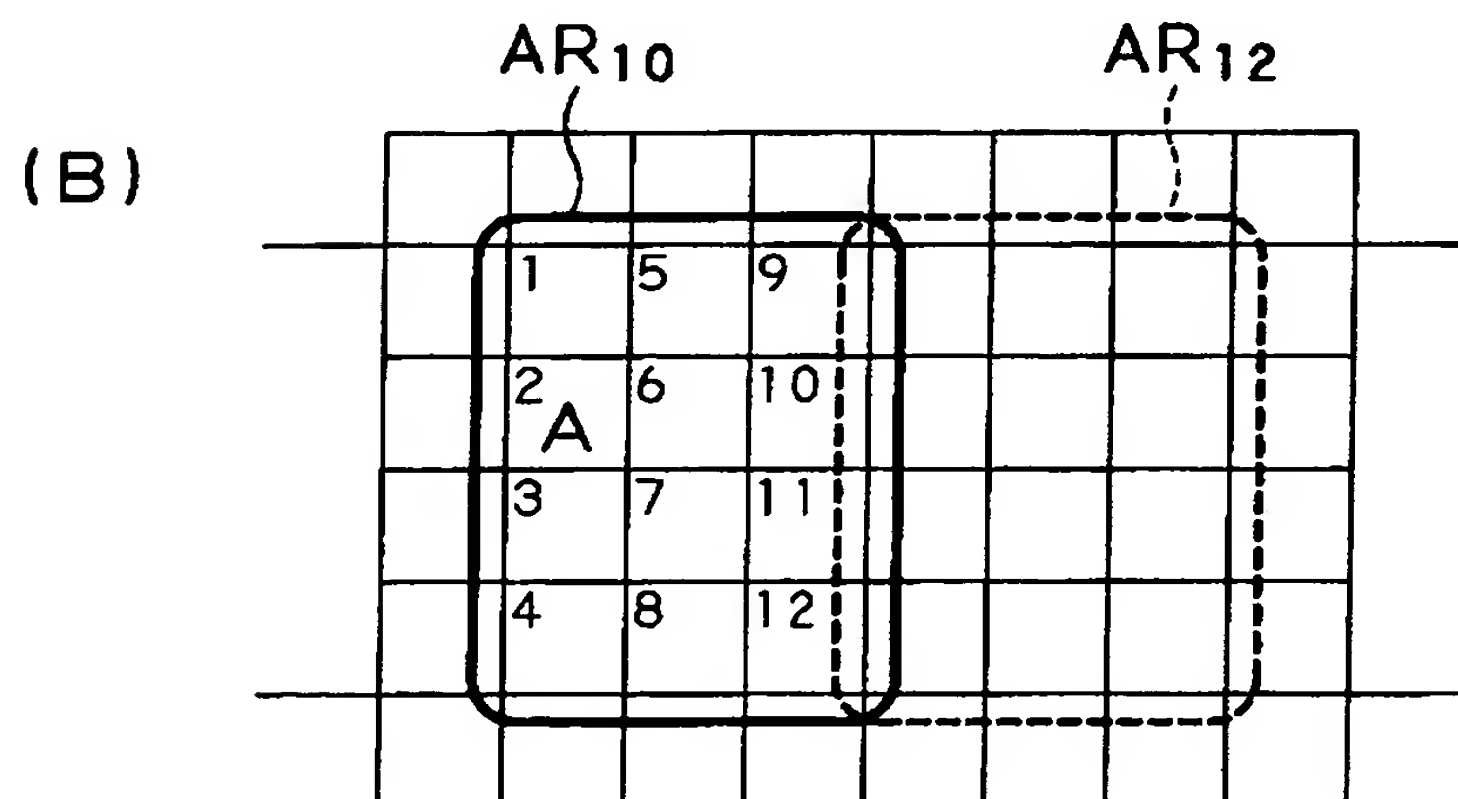
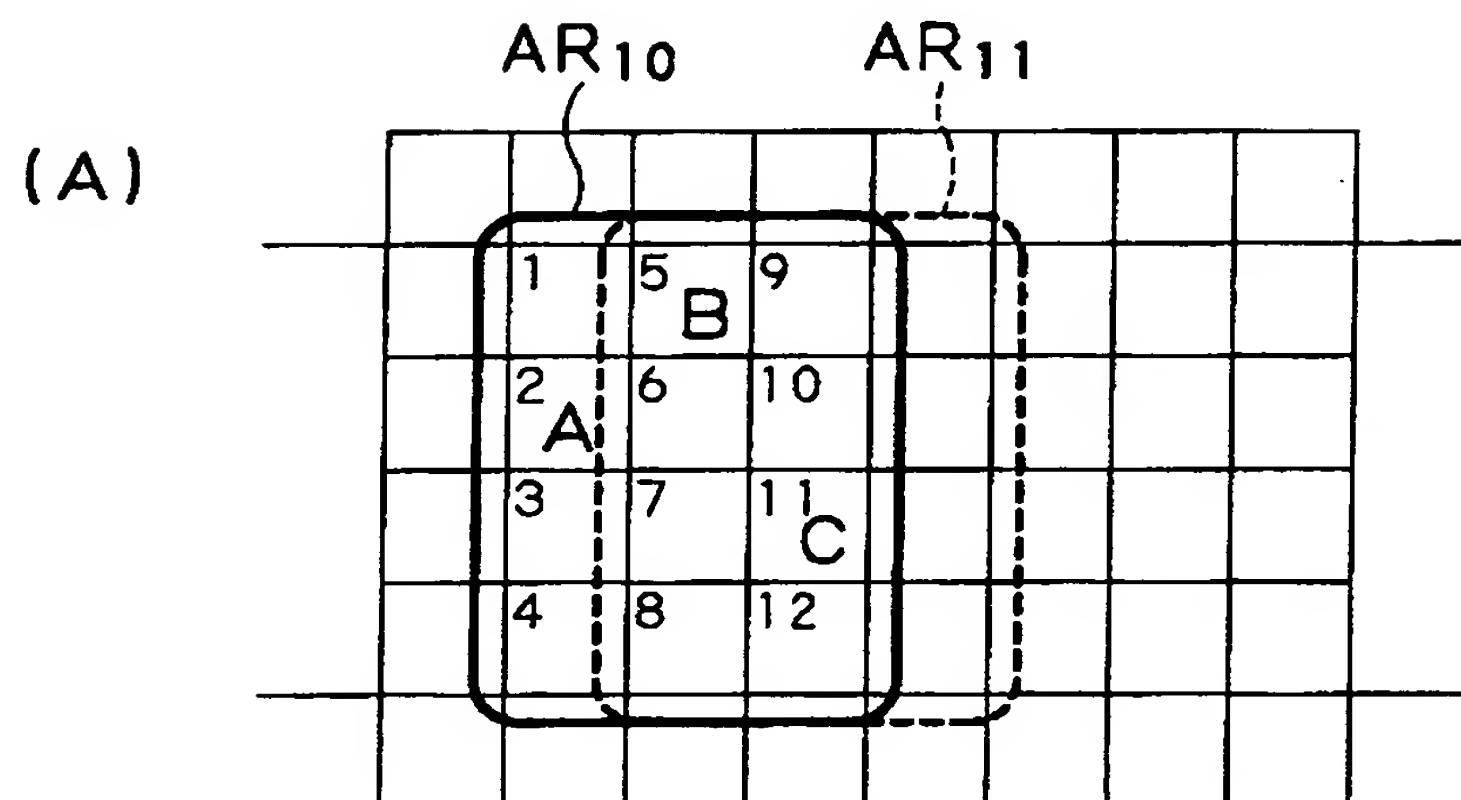
【図 1 4】



【図 1 5】

s	s	s
s	N	s
s	s	s

【図 1 6】



【図 1 7】

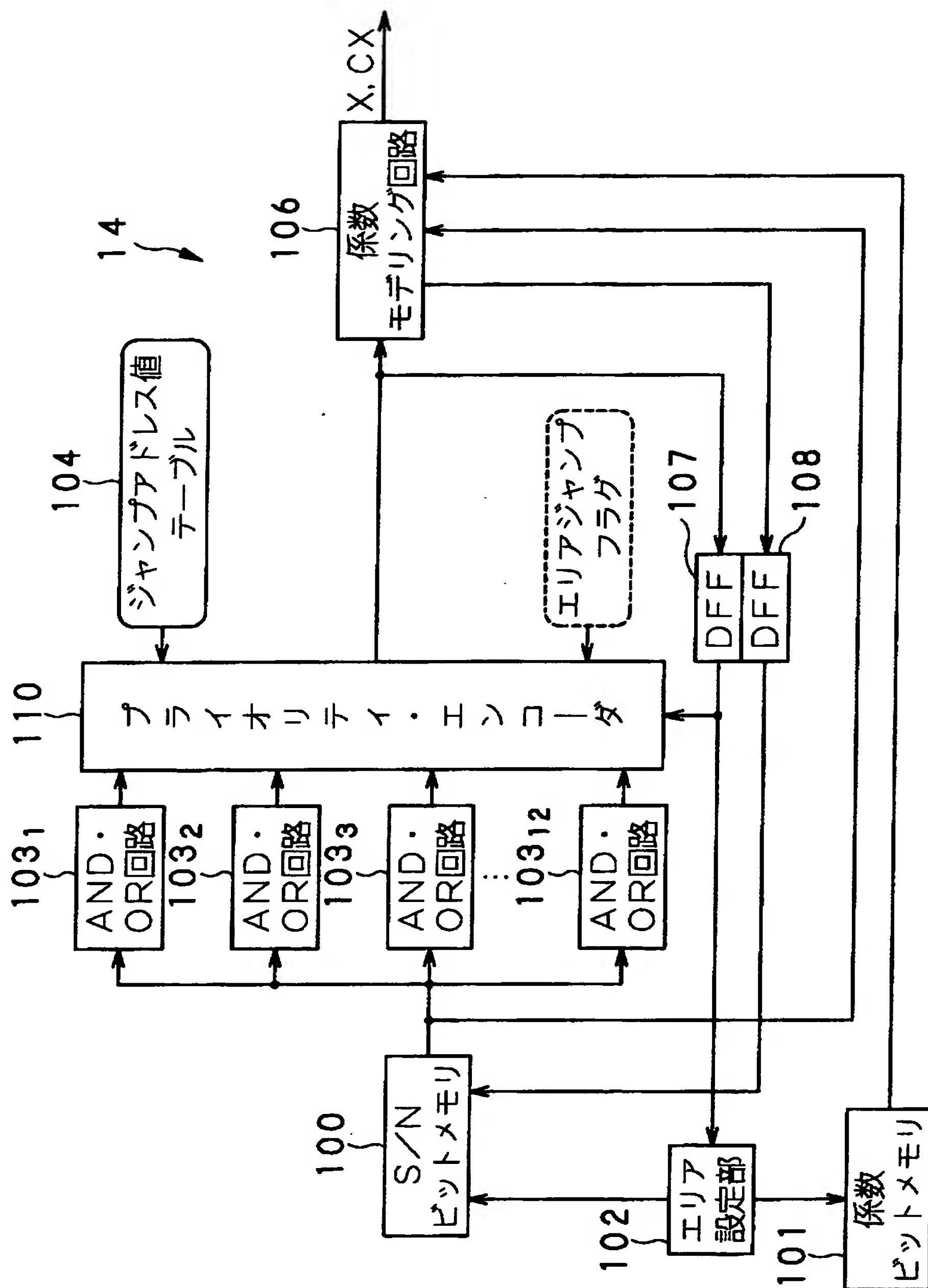
(A)

		次サンプル一致 (○) ・ 不一致 (×) 点位置											PEout
		2	3	4	5	6	7	8	9	10	11	12	
現 サ ン プ ル 点 位 置	1	○											2
			○										3
				○									4
					○								5
						○							6
							○						7
								○					8
									○				9
										○			10
											○		11
												○	12
													Next area

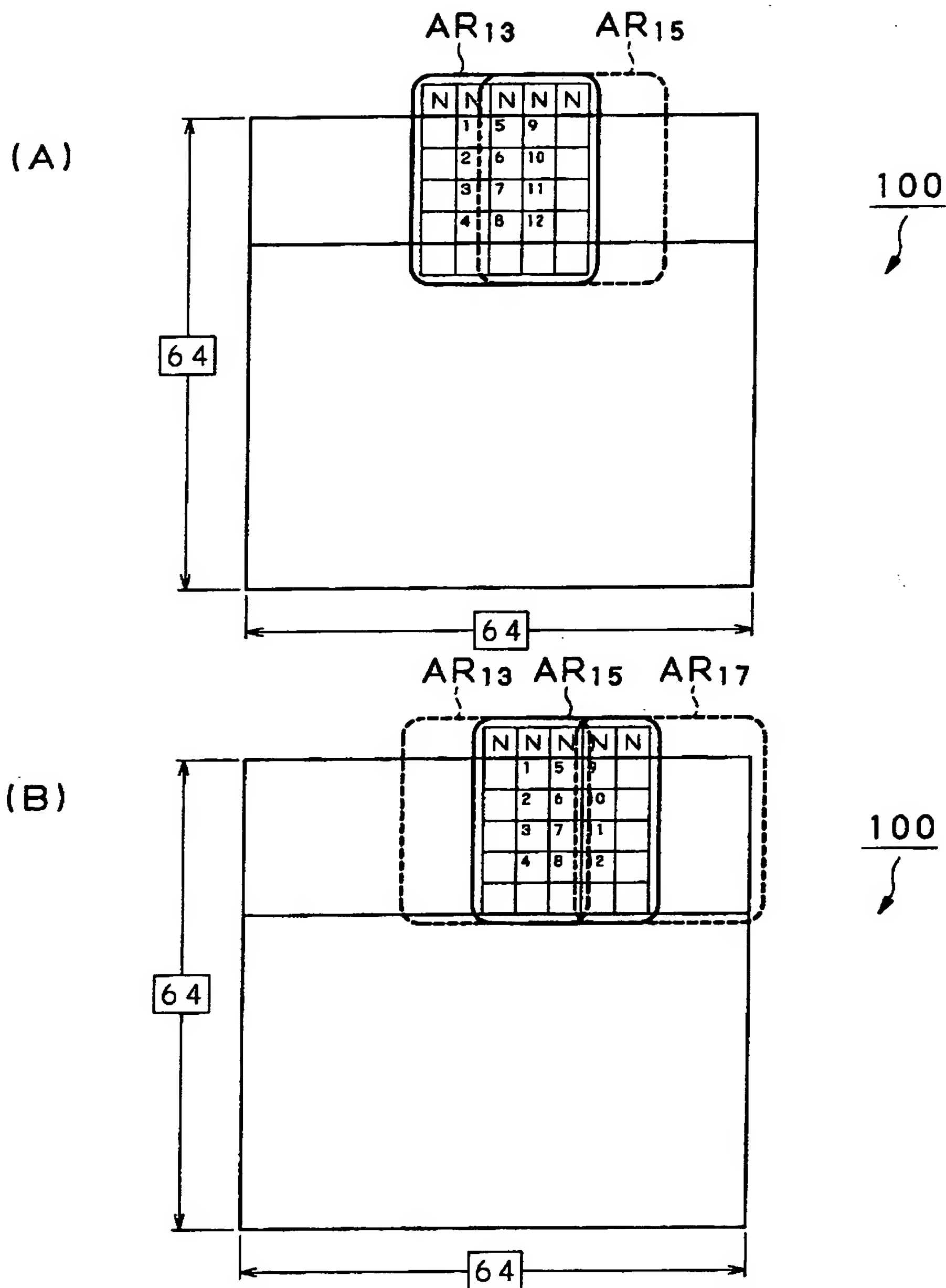
(B)

		次サンプル一致 (○) ・ 不一致 (×) 点位置											PEout
		1	2	3	4	6	7	8	9	10	11	12	
現 サ ン プ ル 点 位 置	5					○							6
							○						7
								○					8
									○				9
										○			10
											○		11
												○	12
													Next area

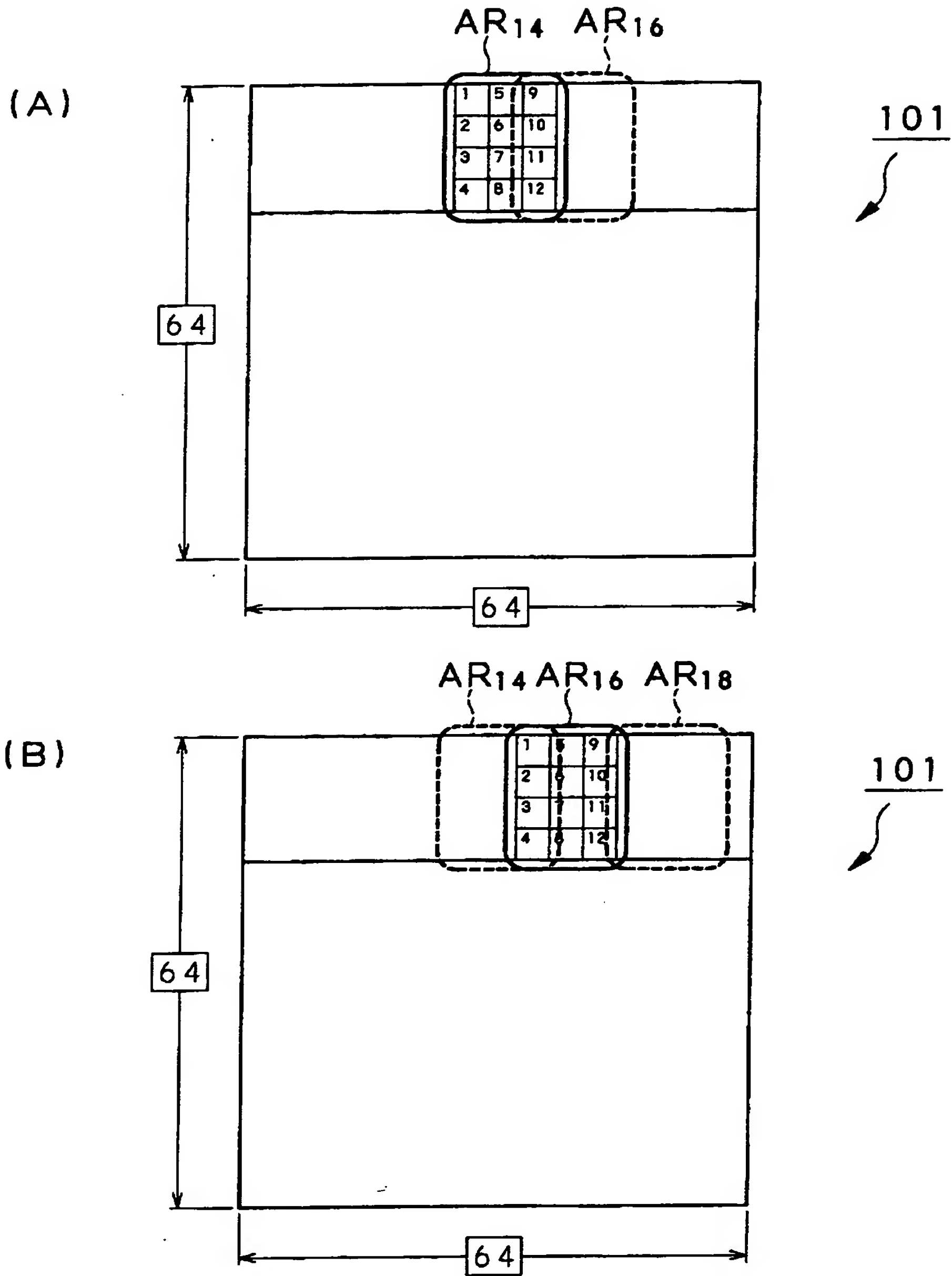
【図 1 8】



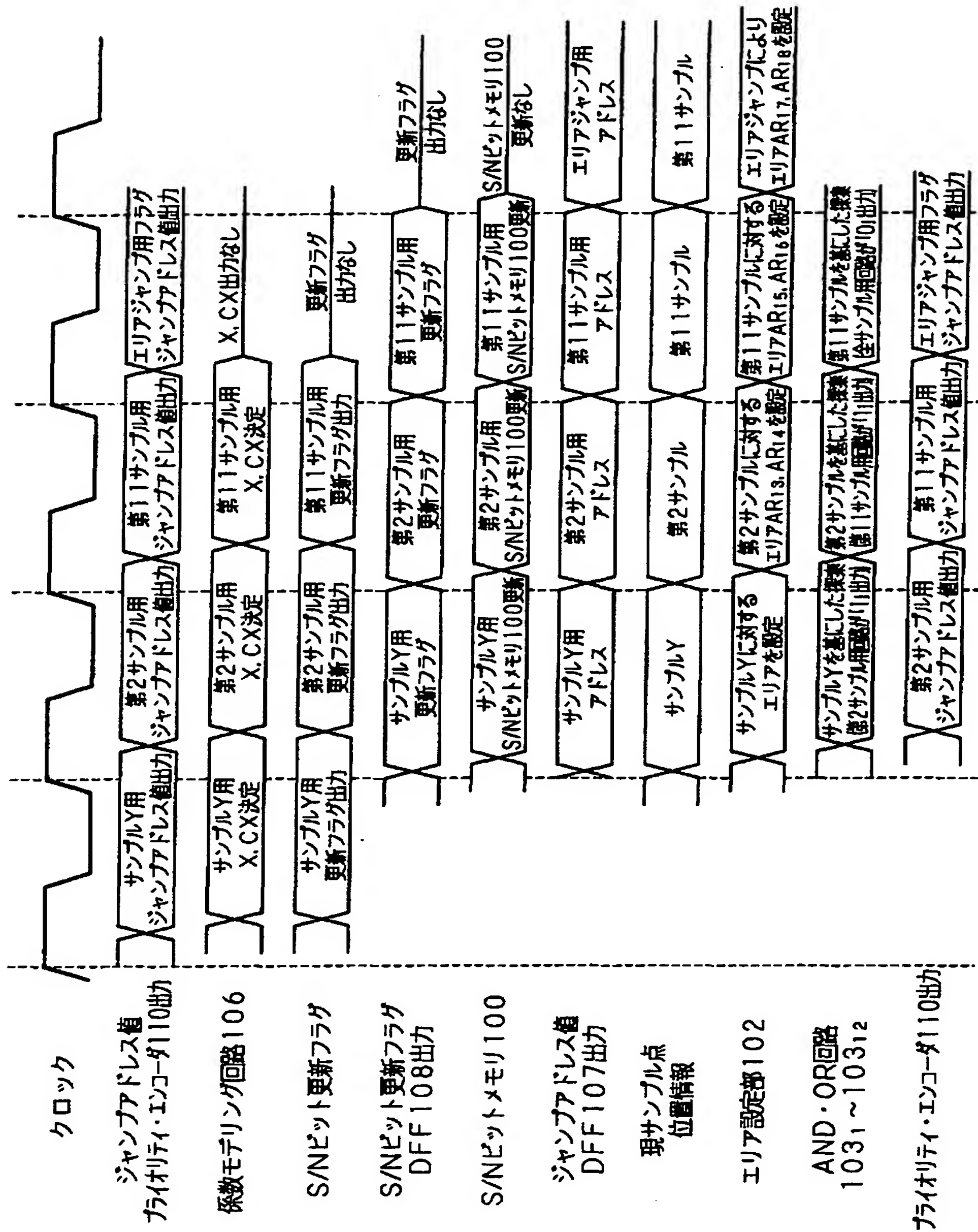
【図 1 9】



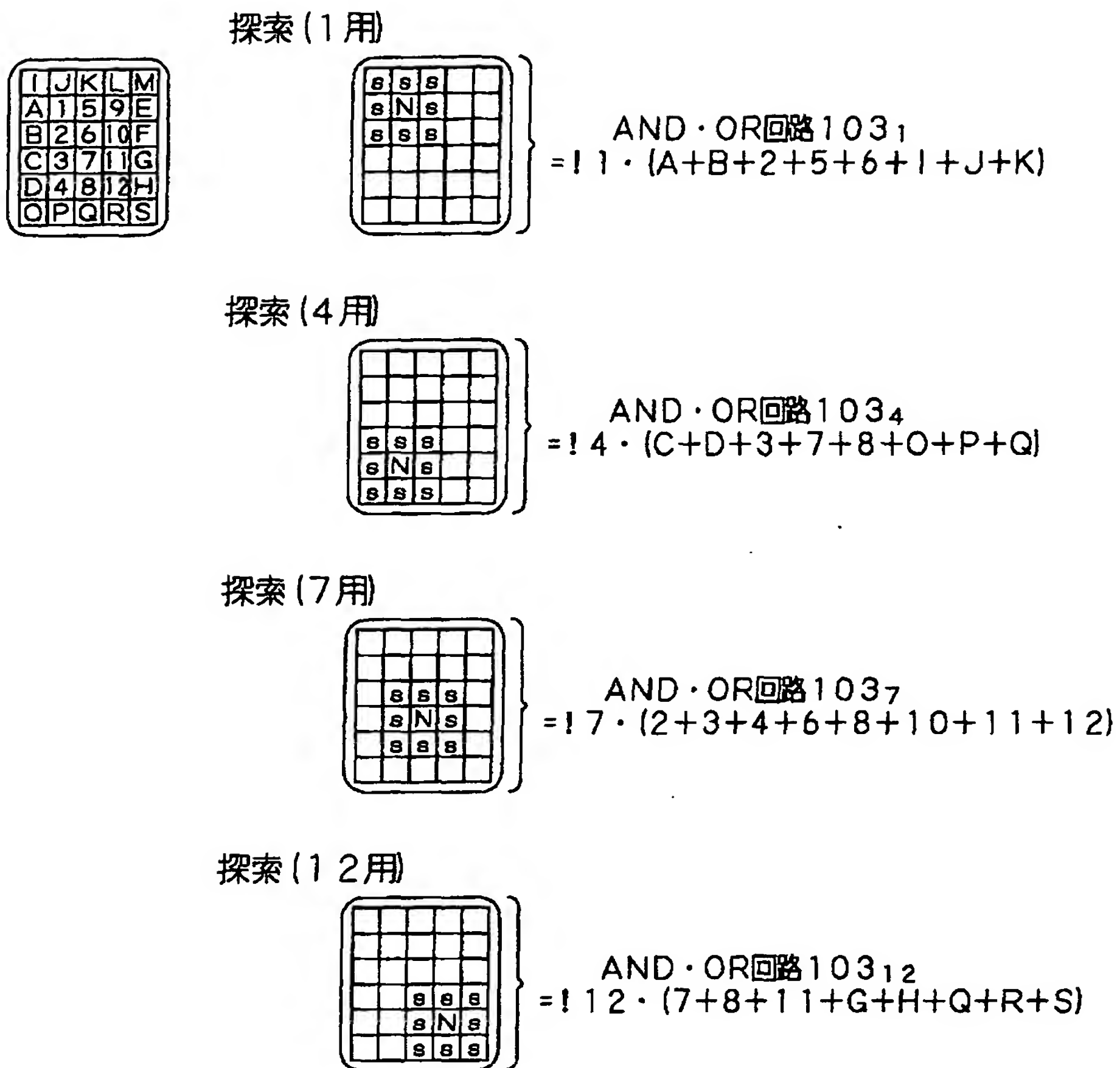
【図 2 0】



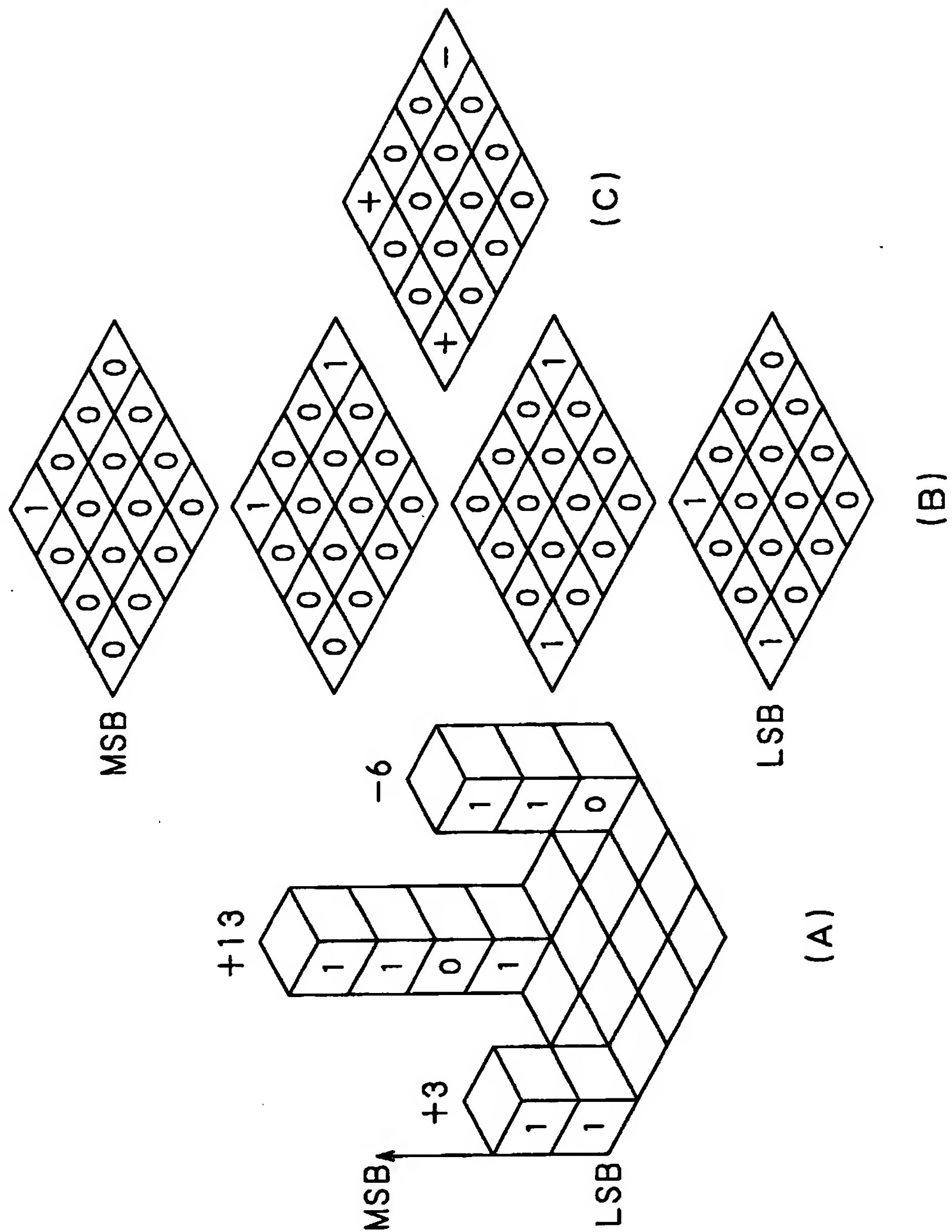
【図 2 1】



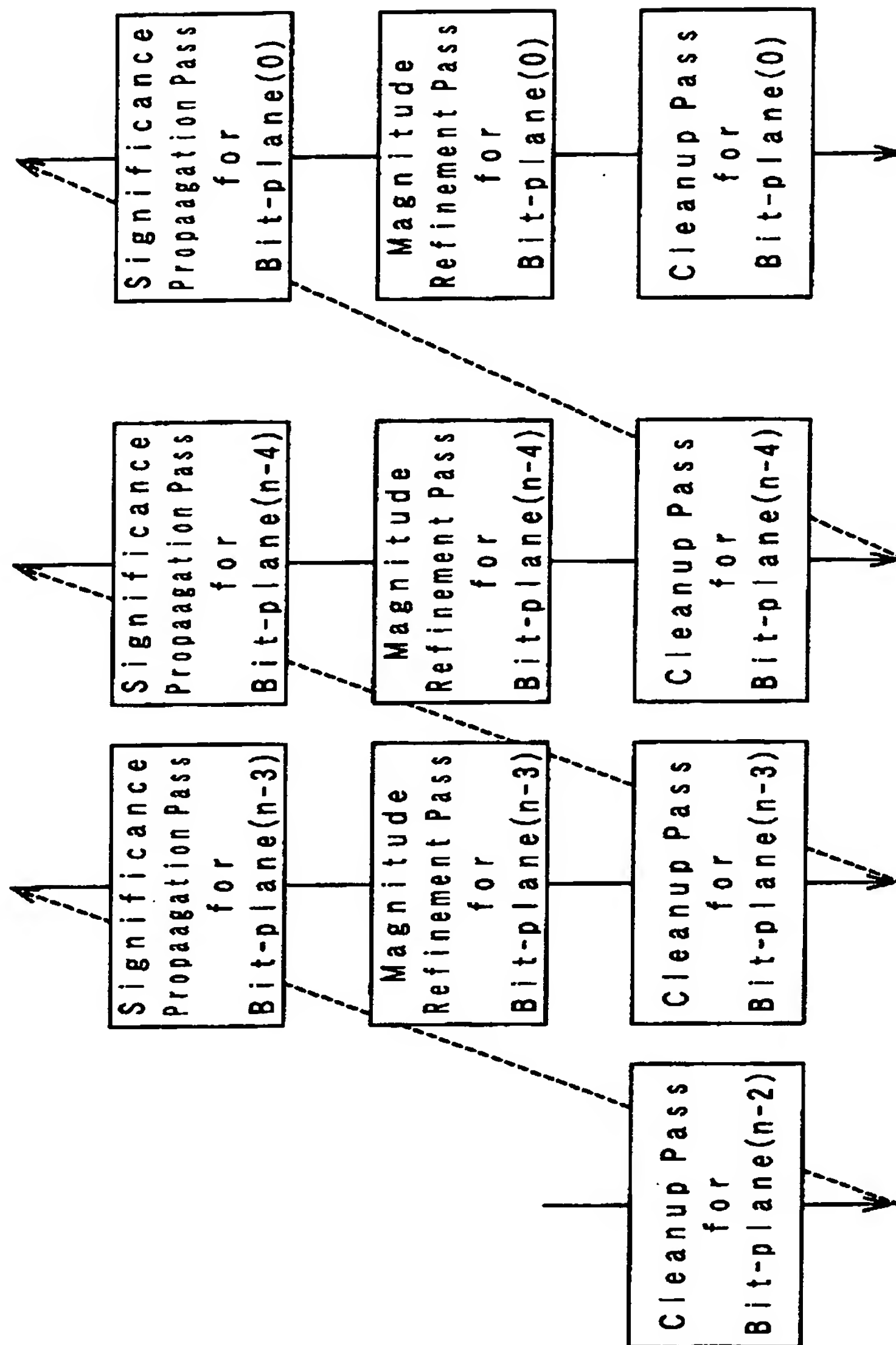
【図 2 2】



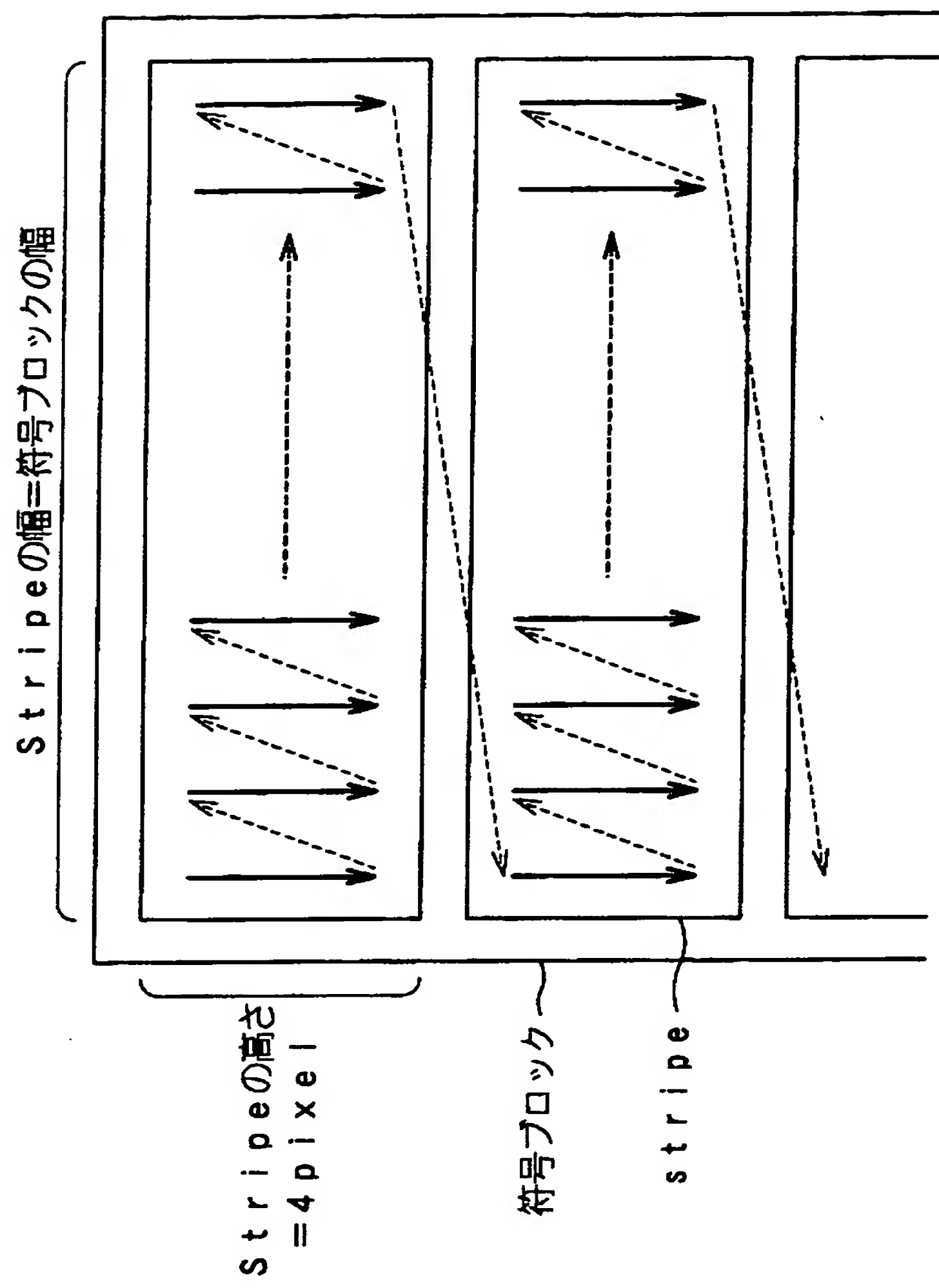
【図 2 3】



【図 2 4】



【図 2 5】



【図 2 6】

1 0	5 0	9 0	13 0
2 0	6 0	10 0	14 0
3 0	7 1	11 0	15 0
4 0	8 0	12 0	16 0

(A)

1 0	5 0	9 0	13 0
2 0	6 0	10 0	14 0
3 0	7 1	11 0	15 0
4 0	8 0	12 0	16 0

(B)

【書類名】 要約書

【要約】

【課題】 J P E G - 2 0 0 0 における Significant Propagation Pass (S P パス) での処理時間を短くすることで 3 つの符号化パスでの符号ブロックの符号化を高速化する。

【解決手段】 ビットプレーン符号化パス生成部は、ビットプレーンに分割された符号ブロック毎の量子化係数を S P パスで処理する際に、予め定めたエリア及びその周囲における有意 (significant : S) か否か (non-significant : N) のデータをメモリから読み出し、これを S / N マッチングパターンと比較する。この S / N マッチングパターンは、任意のサンプル点から次の S P パス処理対象サンプル点にジャンプ可能な場合におけるパターンが設定されたものであり、現在の S / N マッチングパターンと一致するパターンから得られたジャンプアドレス値により、次の S P パス処理対象サンプル点にジャンプする。

【選択図】 図 6